

HT48F06E Hopping Decoder

文件编码: HA0120S

简介

Hopping Decoder 是针对 Hopping Encoder 将 Address Data、Key Data 和 Rolling Data (hdata) 采用 DES24 加密算法反运算的一种译码方式。因为在 Hopping Encoder 中 Key 每按一次 Rolling Data 就会加 1，所以在 Hopping Decoder 中每接收一个 Key 其 Rolling Data 也会加 1。此次设计采用 HT48F06E 作为控制芯片。

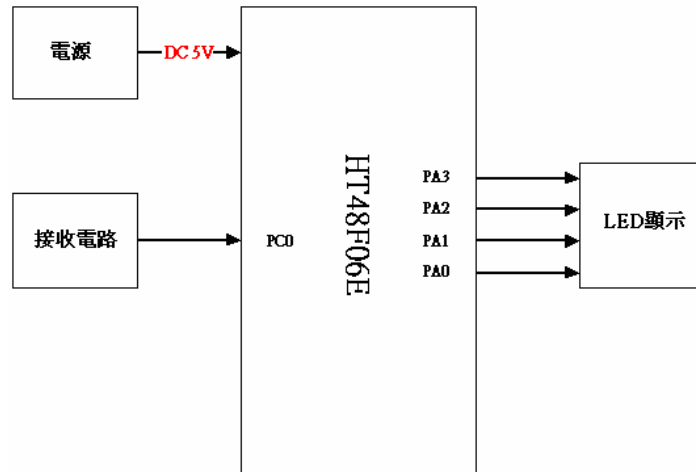
功能介绍

Code Format

- All Code
Lead Code + idata(24-bit) + hdata(24-bit)
- Lead Code
low part (8.96ms) + high part(4.48ms)
- idata(24-bit)
address data(20-bit) + key status data(4-bit)
- hdata
hdata is Rolling Data, 每接收一个 Key, hdata 加 1
- idata(24-bit) & hdata(24-bit)
 - logic 0
low part (560us) + high part(560us)
 - logic 1
low part (560us) + high part (1.68ms)
- Repeat Code
low part (8.96ms) + high part (2.24ms) + low part (560us)

H/W 方块图

硬件方块图



硬件方块功能说明

- 接收电路

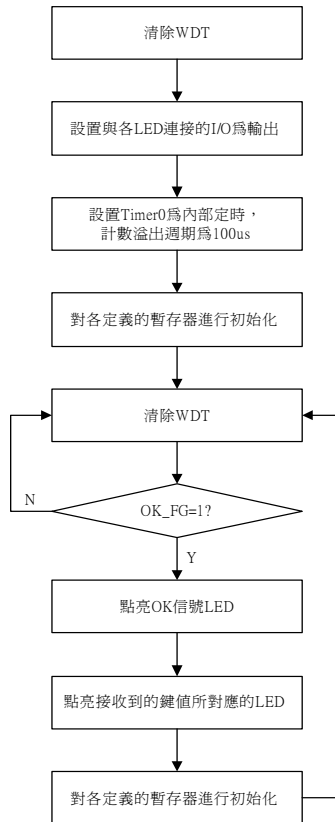
本范例使用 PC0 接受 Data，接受电路可根据 user 自行设计。

- LED 显示

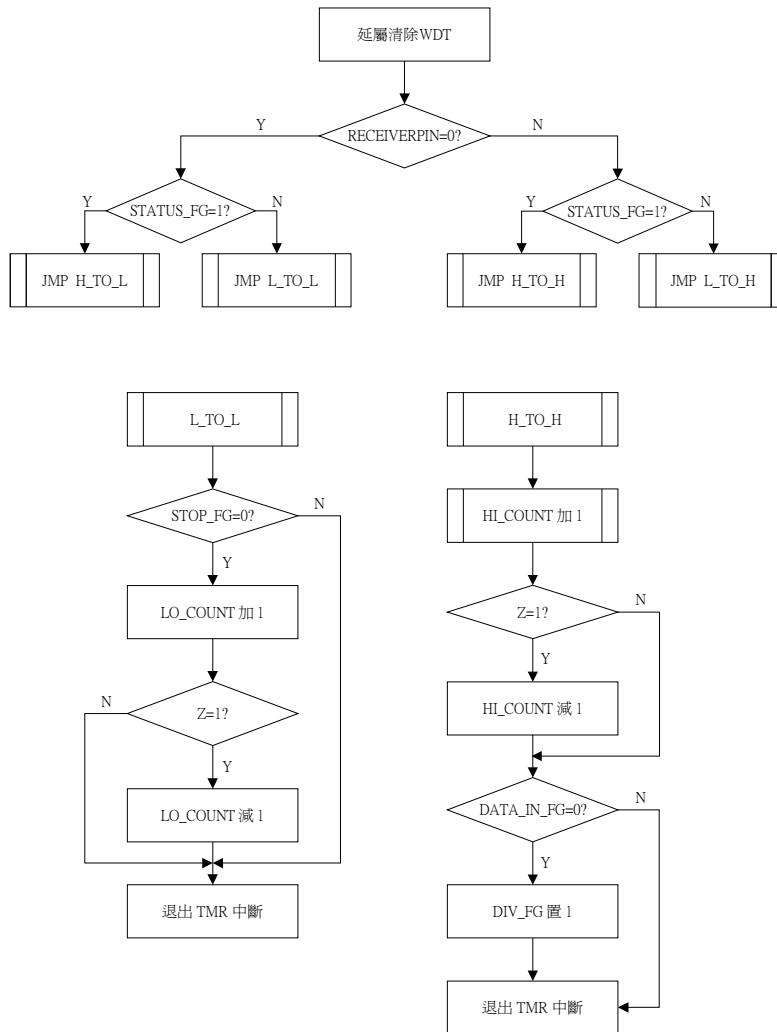
本范例使用 PA0~PA3 做为 LED1~4 显示驱动，LED1~LED4 显示接受到的键值。另外，DS1 LED 灯用来显示电源是否开启，LED0 为 OK LED 显示接受 OK。

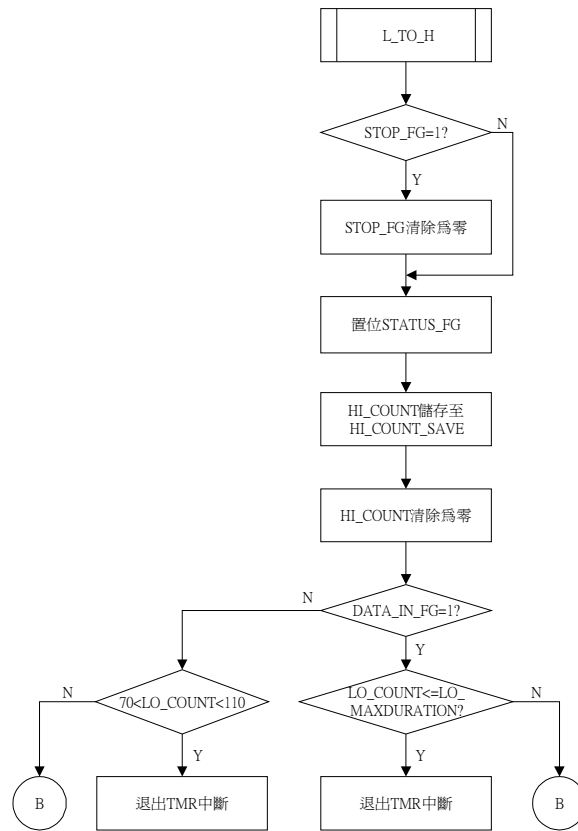
S/W 流程图

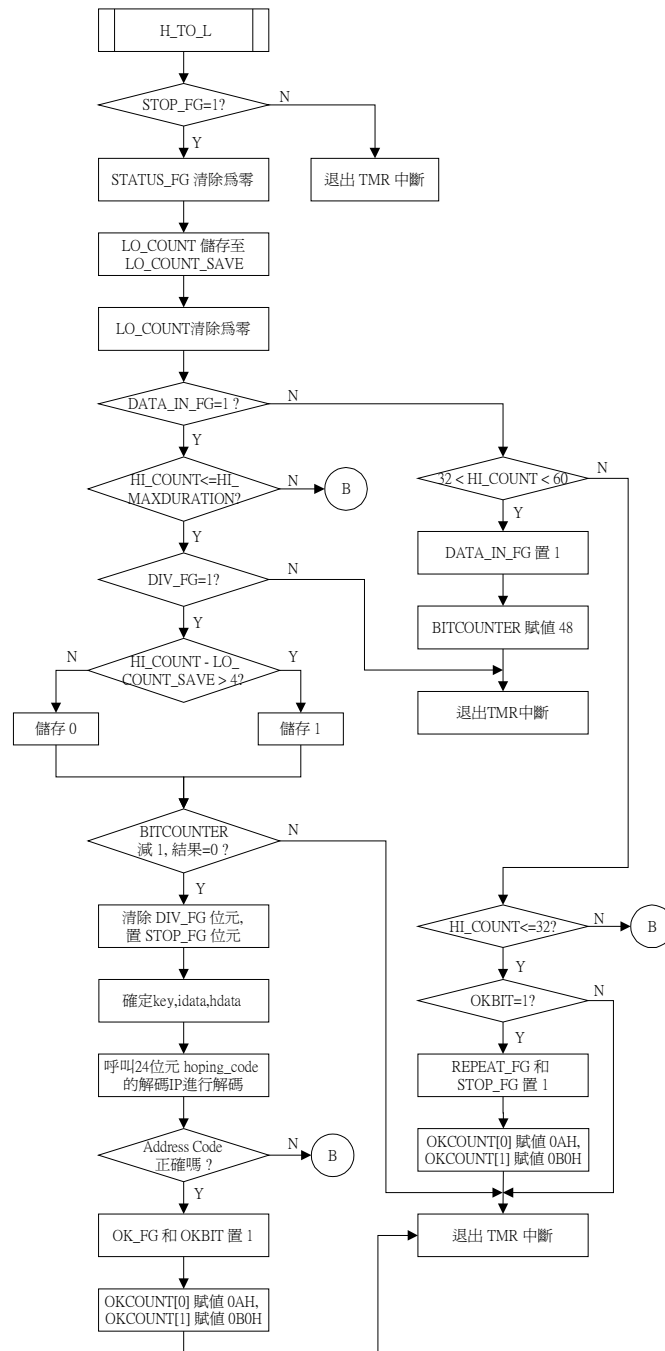
主流程图

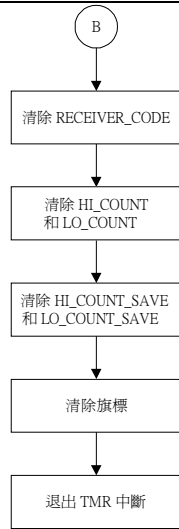


Receiver_IP Flowchart









版本记录

版本: V1.10

修改人员: 王赞臣 (深圳分公司)

修改日期: 2008 年 2 月 6 日

修改内容:

- 更新应用电路图