RGB LED 调光单片机

HT45F0060

版本：V1.30　日期：2023-05-23

www.holtek.com

目 录

特性

CPU 特性

- 工作电压：
  - ♦ f_{SYS} = 8MHz：2.2V~5.5V
- V_{DD}=5V，系统时钟为 8MHz 时，指令周期为 0.5μs
- 提供暂停和唤醒功能，以降低功耗
- 振荡器类型：
  - ♦ 内部高速 RC–HIRC
  - ♦ 内部 32kHz RC–LIRC
- 多种工作模式：正常、低速、空闲和休眠
- 内部集成 8MHz 振荡器，无需外接元件
- 所有指令都可在 1 或 2 个指令周期内完成
- 查表指令
- 61 条功能强大的指令系统
- 2 层堆栈
- 位操作指令

周边特性

- Flash 程序存储器：1K×14
- RAM 数据存储器：64×8
- 看门狗定时器功能
- 8 个双向 I/O 口
- 恒定电流 LED 驱动器
- 级联式收发器接口
- 3 个 10-bit CTM 用于时间测量、比较匹配输出及 PWM 输出
- 时基功能可提供固定时间的中断信号
- 封装类型：8/10-pin SOP

概述

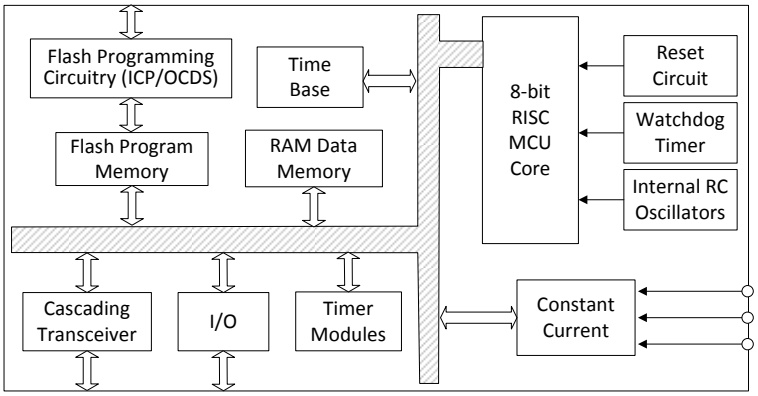
HT45F0060 单片机是一款专门用于 RGB LED 调光控制的 ASSP 单片机。它是一款 8 位高性能精简指令集的 Flash 单片机，具有一系列功能和特性，其 Flash 存储器可多次编程的特性给用户提供了较大的方便。存储器方面，还包含了一个 RAM 数据存储器。

该单片机带有多个使用灵活的定时器模块，可提供定时功能、比较匹配输出功能及 PWM 产生等功能。内部看门狗定时器等内部保护特性，外加优秀的抗干扰和 ESD 保护性能，确保单片机在恶劣的电磁干扰环境下可靠地运行。

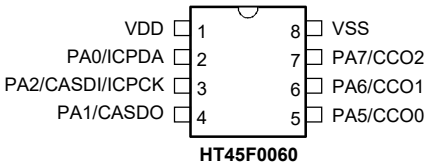
该单片机提供了内部高速和低速振荡器作为系统振荡器功能选项，无需外接元件。其在不同工作模式之间动态切换的能力，为用户提供了一个优化单片机操作和减少功耗的手段。

外加 I/O 使用灵活、时基功能和其它特性，使该单片机可以广泛应用于各种产品中，例如 LED 呼吸灯、圣诞灯、灯条及情景灯等

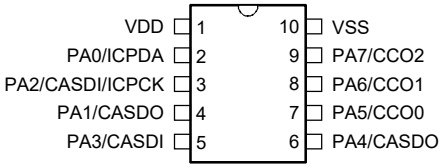
方框图



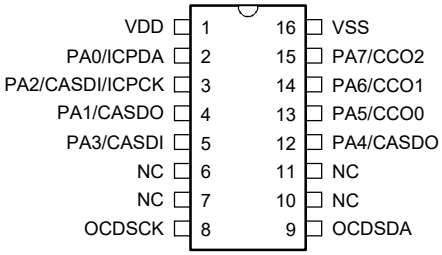
引脚图



HT45F0060
8 SOP-A



HT45F0060
10 SOP-A



HT45V0060
16 NSOP-A

注：1. 若共用脚有多种输出，所需引脚共用功能由相应的软件控制位决定。

2. HT45V0060 是 HT45F0060 的 OCDS EV 芯片，OCDSDA 和 OCDSCK 引脚为 OCDS 专用引脚，仅存在于 OCDS EV 芯片。

引脚说明

除了电源引脚外，该单片机的所有引脚都以它的端口名称进行标注，例如 PA0、PA1 等，用于描述这些引脚的数字输入 / 输出功能。然而，这些引脚也与其它功能共用，如级联式收发器接口等。每个引脚的功能如下表所述，而引脚配置的详细内容见规格书其它章节。

引脚名称	功能	OPT	I/T	O/T	说明
PA0/ICPDA	PA0	PAPU PAWU PAS0	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	ICPDA	—	ST	CMOS	ICP 数据 / 地址
PA1/CASDO	PA1	PAPU PAWU PAS0	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CASDO	PAS0	—	CMOS	级联式收发器接口输出
PA2/CASDI/ ICPCK	PA2	PAPU PAWU PAS0	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CASDI	PAS0	ST	—	级联式收发器接口输入
	ICPCK	—	ST	—	ICP 时钟
PA3/CASDI	PA3	PAPU PAWU PAS0	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CASDI	PAS0	ST	—	级联式收发器接口输入
PA4/CASDO	PA4	PAPU PAWU PAS1	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CASDO	PAS1	—	CMOS	级联式收发器接口输出
PA5/CCO0	PA5	PAPU PAWU PAS1	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CCO0	PAS1	—	CMOS	LED PWM 恒定电流输出
PA6/CCO1	PA6	PAPU PAWU PAS1	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CCO1	PAS1	—	CMOS	LED PWM 恒定电流输出
PA7/CCO2	PA7	PAPU PAWU PAS1	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CCO2	PAS1	—	CMOS	LED PWM 恒定电流输出
VDD	VDD	—	PWR	—	电源电压
VSS	VSS	—	PWR	—	接地

引脚名称	功能	OPT	I/T	O/T	说明
以下引脚仅存在于 **HT45V0060**					
NC	NC	—	—	—	未连接
OCDSDA	OCDSDA	—	ST	CMOS	OCDS 数据 / 地址，仅用于 EV 芯片
OCDSCK	OCDSCK	—	ST	—	OCDS 时钟，仅用于 EV 芯片

注：I/T：输入类型；
OPT：通过寄存器选项来配置；
ST：施密特触发输入；
O/T：输出类型；
PWR：电源；
CMOS：CMOS 输出

极限参数

电源供应电压 ..... V_{SS}-0.3V~V_{SS}+6.0V
端口输入电压 ..... V_{SS}-0.3V~V_{DD}+0.3V
储存温度 ..... -60°C~150°C
工作温度 ..... -40°C~85°C
I_{OH}总电流 ..... -80mA
I_{OL}总电流..... 80mA
总功耗 500mW

注：这里只强调额定功率，超过极限参数所规定的范围将对芯片造成损害，无法预期芯片在上述标示范围外的工作状态，而且若长期在标示范围外的条件下工作，可能影响芯片的可靠性。

直流电气特性

Ta = 25°C

符号	参数	测试条件		最小	典型	最大	单位
		V_{DD}	条件				
V_{DD}	工作电压 (HIRC)	—	f_{SYS} = f_{HIRC} = 8MHz	2.2	—	5.5	V
I_{DD}	工作电流 (LIRC)	3V	无负载，所有外设 off，f_{SYS}=f_{LIRC}=32kHz	—	10	20	μA
		5V		—	30	50	μA
	工作电流 (HIRC)	3V	无负载，所有外设 off，f_{SYS}=f_{HIRC}=8MHz	—	1.0	2.0	mA
		5V		—	2.0	3.0	mA
		3V	无负载，所有外设 off，f_{SYS}=f_{HIRC}/2，f_{HIRC}=8MHz	—	1.0	1.5	mA
		5V		—	1.5	2.0	mA
		3V	无负载，所有外设 off，f_{SYS}=f_{HIRC}/4，f_{HIRC}=8MHz	—	0.9	1.3	mA
		5V		—	1.3	1.8	mA
		3V	无负载，所有外设 off，f_{SYS}=f_{HIRC}/8，f_{HIRC}=8MHz	—	0.8	1.1	mA
		5V		—	1.1	1.6	mA
		3V	无负载，所有外设 off，f_{SYS}=f_{HIRC}/16，f_{HIRC}=8MHz	—	0.7	1.0	mA
		5V		—	1.0	1.4	mA
		3V	无负载，所有外设 off，f_{SYS}=f_{HIRC}/32，f_{HIRC}=8MHz	—	0.6	0.9	mA
		5V		—	0.9	1.2	mA
		3V	无负载，所有外设 off，f_{SYS}=f_{HIRC}/64，f_{HIRC}=8MHz	—	0.5	0.8	mA
		5V		—	0.8	1.1	mA

符号	参数	测试条件		最小	典型	最大	单位
		V_{DD}	条件				
I_{STB}	待机电流 (SLEEP 模式)	3V	无负载，所有外设 off，WDT off	—	0.2	0.8	μA
		5V		—	0.5	1	μA
	待机电流 (SLEEP 模式)	3V	无负载，所有外设 off，WDT on	—	1.3	5.0	μA
		5V		—	2.2	10	μA
	待机电流 (IDLE0 模式)	3V	无负载，所有外设 off，f_{SUB} on	—	1.3	3.0	μA
		5V		—	5.0	10	μA
	待机电流 (IDLE1 模式，HIRC)	3V	无负载，所有外设 off，f_{SUB} on，$f_{SYS}=f_{HIRC}$=8MHz	—	0.8	1.6	mA
		5V		—	1.0	2.0	mA
V_{IL}	I/O 口或输入引脚低电平输入电压	5V	—	0	—	1.5	V
		—	—	0	—	$0.2V_{DD}$	
V_{IH}	I/O 口或输入引脚高电平输入电压	5V	—	3.5	—	5	V
		—	—	$0.8V_{DD}$	—	V_{DD}	
I_{OL}	I/O 口灌电流	3V	$V_{OL}=0.1V_{DD}$	15.5	31	—	mA
		5V		31	62	—	
I_{OH}	I/O 口源电流	3V	$V_{OH}=0.9V_{DD}$	-3.5	-7.0	—	mA
		5V		-7.2	-14.5	—	
R_{PH}	I/O 口上拉电阻	3V	—	20	60	100	kΩ
		5V	—	10	30	50	
I_{LEAK}	输入漏电流	5V	$V_{IN}=V_{DD}$ 或 $V_{IN}=V_{SS}$	—	—	±1	μA
I_{OCDS}	工作电流，用于 OCDS EV 芯片，且连接到 e-Link，正常模式，$f_{SYS}=f_{HIRC}$	3V	无负载，f_{HIRC} = 8MHz，WDT 使能	—	1.4	2.0	mA

交流电气特性

Ta = 25°C

符号	参数	测试条件		最小	典型	最大	单位
		V_{DD}	条件				
f_{SYS}	系统时钟 (HIRC)	2.2V~5.5V	$f_{SYS} = f_{HIRC}$ = 8MHz	—	8	—	MHz
	系统时钟 (LIRC)	2.2V~5.5V	$f_{SYS} = f_{LIRC}$ = 32kHz	—	32	—	kHz
f_{HIRC}	内部高速 RC 振荡器频率 (HIRC)	3V / 5V	Ta = 25°C	-2%	8	+2%	MHz
		3V / 5V	Ta = 0°C~70°C	-5%	8	+5%	MHz
		2.2V~5.5V	Ta = 0°C~70°C	-8%	8	+8%	MHz
		2.2V~5.5V	Ta = -40°C~85°C	-12%	8	+12%	MHz
f_{LIRC}	内部低速 RC 振荡器频率 (LIRC)	2.2V~5.5V	Ta = -40°C~85°C	8	32	50	kHz
t_{RSTD}	系统复位延迟时间 (上电复位，WDT 软件复位)	—	—	25	50	100	ms
	系统复位延迟时间 (WDT 溢出硬件冷复位)	—	—	8.3	16.7	33.3	ms
t_{SST}	系统启动时间 (从 f_{SYS} Off 的暂停模式中唤醒)	—	$f_{SYS} = f_{HIRC}$~f_{HIRC}/64	—	16	—	t_{HIRC}
		—	$f_{SYS} = f_{SUB} = f_{LIRC}$	—	2	—	t_{LIRC}
	系统启动时间 (从 f_{SYS} On 的暂停模式中唤醒)	—	$f_{SYS} = f_{HIRC}$~f_{HIRC}/64，$f_H = f_{HIRC}$	—	2	—	t_H
		—	$f_{SYS} = f_{SUB} = f_{LIRC}$	—	2	—	t_{SUB}
	系统速度切换时间 (低速模式 ↔ 正常模式)	—	f_{HIRC} off → on (HIRCF = 1)	—	16	—	t_{HIRC}
t_{SRESET}	软件复位最小延迟脉宽	—	—	45	90	250	μs
t_{CASDI}	CASDI 输入引脚最低延迟脉宽	—	—	0.3	—	—	μs
$f_{CASCLKI}$	CASCLKI 最大时钟源频率	5V	—	—	—	8	MHz

注：1. t_{SYS}=1/f_{SYS}

2. 为了保证 HIRC 振荡器的频率精度，VDD 与 VSS 间连接一个 0.1μF 的去耦电容，并尽可能接近芯片。

恒流 LED 驱动器电气特性

工作温度：-40°C~85°C，除非另有说明

符号	参数	测试条件		最小	典型	最大	单位
		V_{DD}	条件				
V_{DD}	工作电压	—	—	2.7	—	5.5	V
I_{CCS}	恒流功能使能的额外电流	5V	CCOn=off	—	5	6.5	mA
		3V	CCOn=off	—	3.8	5	mA
I_{CCO}	CCOn 输出灌电流	5V	电流范围，V_{CCOn}=1.5V，CCG[1:0]=00	-5%	5	+5%	mA
			电流范围，V_{CCOn}=1.5V，CCG[1:0]=01	-10%	14	+10%	mA
			电流范围，V_{CCOn}=1.5V，CCG[1:0]=10	-15%	32	+15%	mA
			电流范围，V_{CCOn}=1.5V，CCG[1:0]=11	-20%	53	+20%	mA
dI_{CCO}	电流偏移率 (通道)	3V/5V	I_{CCOn}=5mA，V_{CCOn}=0.7V	—	±1.5	±3	%
	电流偏移率 (IC)	3V/5V	I_{CCOn}=5mA，V_{CCOn}=0.7V	—	±3	±6	%
$\%/dV_{CCO}$	输出电压调整率	3V/5V	V_{CCOn}=0.7V~3.0V，I_{CCOn}=5mA	—	±0.1	—	%/V
$\%/dV_{DD}$	电源电压调整率	—	V_{DD}=2.7V~5.5V，V_{CCOn}=0.7V	—	±1.0	±8.0	%/V

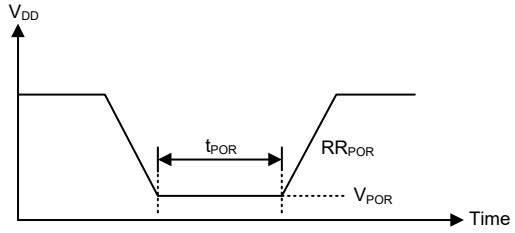
注：$\%/dV_{CCO} = \{[I_{CCOn}(\text{at } V_{CCOn} = 3.0V) - I_{CCOn}(\text{at } V_{CCOn} = 0.7V)] / I_{CCOn}(\text{at } V_{CCOn} = 1.5V)\} \times 100\% / (3.0V - 0.7V)$

$\%/dV_{DD} = \{[I_{CCOn}(\text{at } V_{DD} = 5.5V) - I_{CCOn}(\text{at } V_{DD} = 2.7V)] / I_{CCOn}(\text{at } V_{DD} = 4.0V)\} \times 100\% / (5.5V - 2.7V)$

上电复位特性

Ta=25°C

符号	参数	测试条件		最小	典型	最大	单位
		V_{DD}	条件				
V_{POR}	上电复位电压	—	—	—	—	100	mV
RR_{POR}	上电复位电压速率	—	—	0.035	—	—	V/ms
t_{POR}	V_{DD} 保持为 V_{POR} 的最小时间	—	—	1	—	—	ms

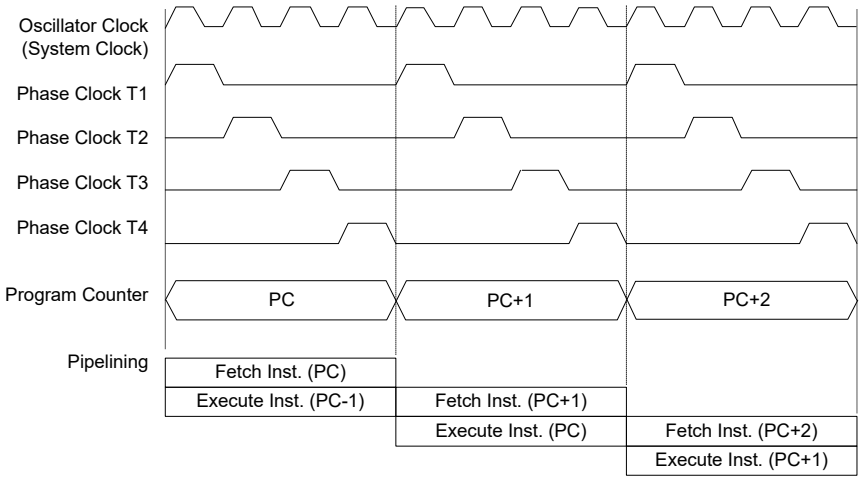


系统结构

内部系统结构是盛群单片机具有良好性能的主要因素。由于采用 RISC 结构，此单片机具有高运算速度和高性能的特点。通过流水线的方式，指令的取得和执行同时进行，此举使得除了跳转和调用指令外，其它指令都能在一个指令周期内完成。8 位 ALU 参与指令集中所有的运算，它可完成算术运算、逻辑运算、移位、递增、递减和分支等功能，而内部的数据路径则是以通过累加器和 ALU 的方式加以简化。有些寄存器在数据存储器中被实现，且可以直接或间接寻址。简单的寄存器寻址方式和结构特性，确保了在提供具有较大可靠度和灵活性的 I/O 控制系统时，仅需要少数的外部器件。使得该单片机适用于低成本和批量生产的控制应用。

时序和流水线结构

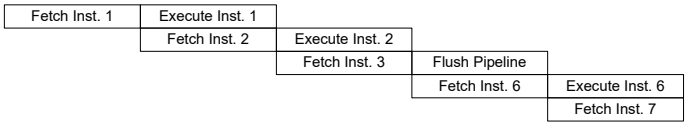
主系统时钟由 HIRC 或 LIRC 振荡器提供，它被细分为 T1~T4 四个内部产生的非重叠时序。在 T1 时间，程序计数器自动加一并抓取一条新的指令。剩下的时间 T2~T4 完成译码和执行功能，因此，一个 T1~T4 时钟周期构成一个指令周期。虽然指令的抓取和执行发生在连续的指令周期，但单片机流水线结构会保证指令在一个指令周期内被有效执行。除非程序计数器的内容被改变，如子程序的调用或跳转，在这种情况下指令将需要多一个指令周期的时间去执行。



系统时序和流水线

如果指令牵涉到分支，例如跳转或调用等指令，则需要两个指令周期才能完成指令执行。需要一个额外周期的原因是程序先用一个周期取出实际要跳转或调用的地址，再用另一个周期去实际执行分支动作，因此用户需要特别考虑额外周期的问题，尤其是在执行时间要求较严格的时候。

```
1          MOV A, [12H]
2          CALL DELAY
3          CPL [12H]
4          :
5          :
6  DELAY:  NOP
```



指令捕捉

程序计数器

在程序执行期间，程序计数器用来指向下一个要执行的指令地址。除了“JMP”和“CALL”指令需要跳转到一个非连续的程序存储器地址之外，它会在每条指令执行完成以后自动加一。只有较低的 8 位，即所谓的程序计数器低字节寄存器 PCL，可以被用户直接读写。

当执行的指令要求跳转到不连续的地址时，如跳转指令、子程序调用、中断或复位等，单片机通过加载所需要的地址到程序寄存器来控制程序，对于条件跳转指令，一旦条件符合，在当前指令执行时取得的下一条指令将会被舍弃，而由一个空指令周期来取代。

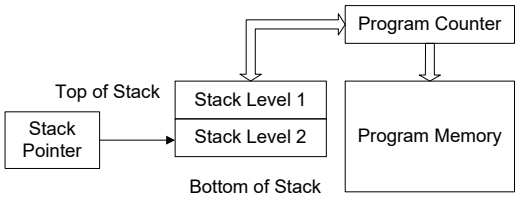
程序计数器	
程序计数器高字节	PCL 寄存器
PC9~PC8	PCL7~PCL0

程序计数器

程序计数器的低字节，即程序计数器的低字节寄存器 PCL，可以通过程序控制，且它是可以读取和写入的寄存器。通过直接写入数据到这个寄存器，一个程序短跳转可直接执行，然而只有低字节的操作是有效的，跳转被限制在存储器的当前页中，即 256 个存储器地址范围内，当这样一个程序跳转要执行时，会插入一个空指令周期。程序计数器的低字节可由程序直接进行读取，PCL 的使用可能引起程序跳转，因此需要额外的指令周期。

堆栈

堆栈是一个特殊的存储空间，用来存储程序计数器中的内容。此单片机有 2 层堆栈，堆栈既不是数据部分也不是程序空间部分，而且它既不是可读取也不是可写入的。当前层由堆栈指针 (SP) 加以指示，同样也是不可读写的。在子程序调用或中断响应服务时，程序计数器的内容被压入到堆栈中。当子程序或中断响应结束时，返回指令 (RET 或 RETI) 使程序计数器从堆栈中重新得到它以前的值。当一个芯片复位后，堆栈指针将指向堆栈顶部。



如果堆栈已满，且有非屏蔽的中断发生，中断请求标志会被置位，但中断响应将被禁止。当堆栈指针减少 (执行 RET 或 RETI)，中断将被响应。这个特性提供程序设计者简单的方法来预防堆栈溢出。然而即使堆栈已满，CALL 指令仍然可以被执行，而造成堆栈溢出。使用时应避免堆栈溢出的情况发生，因为这可能导致不可预期的程序分支指令执行错误。

若堆栈溢出，则首个存入堆栈的程序计数器数据将会丢失。

算术逻辑单元 – ALU

算术逻辑单元是单片机中很重要的部分，执行指令集中的算术和逻辑运算。ALU 连接到单片机的数据总线，在接收相关的指令码后执行需要的算术与逻辑操作，并将结果存储在指定的寄存器，当 ALU 计算或操作时，可能导致进位、借位或其它状态的改变，而相关的状态寄存器会因此更新内容以显示这些改变，ALU 所提供的功能如下：

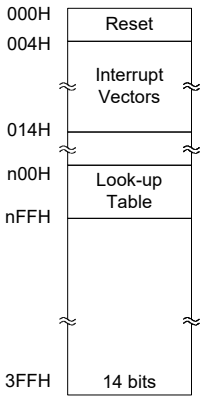
- 算术运算：
  ADD，ADDM，ADC，ADCM，SUB，SUBM，SBC，SBCM，DAA
- 逻辑运算：
  AND，OR，XOR，ANDM，ORM，XORM，CPL，CPLA
- 移位运算：
  RRA，RR，RRCA，RRC，RLA，RL，RLCA，RLC
- 递增和递减：
  INCA，INC，DECA，DEC
- 分支判断：
  JMP，SZ，SZA，SNZ，SIZ，SDZ，SIZA，SDZA，CALL，RET，RETI

Flash 程序存储器

程序存储器用来存放用户代码即储存程序。程序存储器为 Flash 类型意味着可以多次重复编程，方便用户使用同一芯片进行程序的修改。使用适当的单片机编程工具，此单片机提供用户灵活便利的调试方法和项目开发规划及更新。

结构

程序存储器的容量为 1K×14 位，程序存储器用程序计数器来寻址，其中也包含数据、表格和中断入口。数据表格可以设定在程序存储器的任何地址，由表格指针来寻址。



程序存储器结构

特殊向量

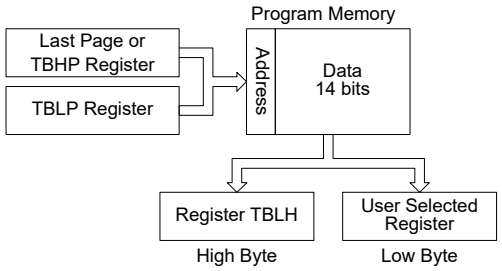
程序存储器内部某些地址保留用做诸如复位和中断入口等特殊用途。地址 000H 是芯片复位后的程序起始地址。在芯片复位之后，程序将跳到这个地址并开始执行。

查表

程序存储器中的任何地址都可以定义成一个表格，以便储存固定的数据。使用表格时，表格指针必须先行设定，其方式是将表格的地址放在表格指针寄存器 TBLP 和 TBHP 中。这些寄存器定义表格总的地址。

在设定完表格指针后，表格数据可以使用“TABRD [m]”或“TABRDL [m]”指令分别从程序存储器查表读取。当这些指令执行时，程序存储器中表格数据低字节，将被传送到使用者所指定的数据存储器 [m]，程序存储器中表格数据的高字节，则被传送到 TBLH 特殊寄存器，而高字节中未使用的位将被读取为“0”。

下图是查表中寻址 / 数据流程：



查表范例

以下范例说明表格指针和表格数据如何被定义和执行。这个例子使用的表格数据用 ORG 伪指令储存在存储器中。ORG 指令的值“300H”指向的地址是 1K 程序存储器中最后一页的起始地址。表格指针低字节寄存器的初始值设为 06H，这可保证从数据表格读取的第一笔数据位于程序存储器地址 306H，即最后一页起始地址后的第六个地址。值得注意的是，假如“TABRD [m]”指令被使用，则表格指针指向 TBLP 和 TBHP 指定页的起始地址。在这个例子中，表格数据的高字节等于零，而当“TABRD [m]”指令被执行时，此值将会自动的被传送到 TBLH 寄存器。

TBLH 寄存器为只读寄存器，不能重新储存，若主程序和中断服务程序都使用表格读取指令，应该注意它的保护。使用表格读取指令，中断服务程序可能会改变 TBLH 的值，若随后在主程序中再次使用这个值，则会发生错误，因此建议避免同时使用表格读取指令。然而在某些情况下，如果同时使用表格读取指令是不可避免的，则在执行任何主程序的表格读取指令前，中断应该先除能，另外要注意的是所有与表格相关的指令，都需要两个指令周期去完成操作。

表格读取程序范例

```
tempreg1 db ?       ; temporary register #1
tempreg2 db ?       ; temporary register #2
:
:
mov a,06h           ; initialise low table pointer - note that this address
                    ; is referenced
mov tblp,a          ; to the last page or the page that tbhp pointed
mov a,03h           ; initialise high table pointer
mov tbhp,a
:
:
tabrd tempreg1      ; transfers value in table referenced by table pointer
                    ; data at program
                    ; memory address "0306H" transferred to tempreg1 and TBLH
dec tblp            ; reduce value of table pointer by one
tabrd tempreg2      ; transfers value in table referenced by table pointer
                    ; data at program memory address "0305H" transferred to
                    ; tempreg2 and TBLH in this example the data "1AH" is
                    ; transferred to tempreg1 and data "0FH" to register
                    ; tempreg2
:
:
org 300h            ; sets initial address of program memory
dc 00Ah,00Bh,00Ch,00Dh,00Eh,00Fh,01Ah,01Bh
:
:
```

在线烧录 – ICP

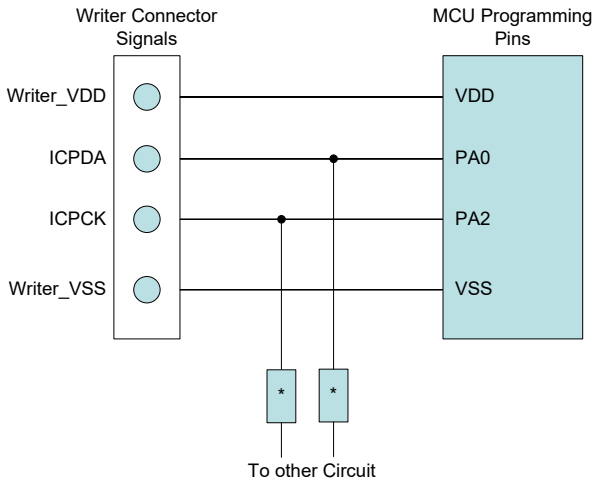
Flash 型程序存储器提供用户便利地对同一芯片进行程序的更新和修改。

另外，Holtek 单片机提供 4 线接口的在线烧录方式。用户可将进行过烧录或未经过烧录的单片机芯片连同电路板一起制成，最后阶段进行程序的更新和程序的烧录，在无需去除或重新插入芯片的情况下方便地保持程序为最新版。

Holtek 烧录器引脚名称	MCU 在线烧录引脚名称	功能
ICPDA	PA0	烧录串行数据 / 地址
ICPCK	PA2	烧录时钟
VDD	VDD	电源
VSS	VSS	地

单片机内部程序存储器可以通过 4 线的接口在线进行烧录。其中一条线用于数据串行下载或上传，一条用于串行时钟，剩余两条用于提供电源。芯片在线烧写的详细使用说明超出此文档的描述范围，将由专门的参考文献提供。

在烧录过程中，烧录器会控制 ICPDA 和 ICPCK 脚进行数据和时钟烧录，用户必须确保这两个引脚没有连接至其它输出脚。



注：* 可能为电阻或电容。若为电阻则其值必须大于 1kΩ，若为电容则其必须小于 1nF。

片上调试 – OCDS

EV 芯片 HT45V0060 用于 HT45F0060 单片机仿真。此 EV 芯片提供片上调试功能（OCDS—On-Chip Debug Support）用于开发过程中的单片机调试。除了片上调试功能方面，EV 芯片和实际单片机在功能上几乎是兼容的。用户可将 OCDSDA 和 OCDSCK 引脚连接至 Holtek HT-IDE 开发工具，从而实现 EV 芯片对实际单片机的仿真。OCDSDA 引脚为 OCDS 数据 / 地址输入 / 输出脚，OCDSCK 引脚为 OCDS 时钟输入脚。当用户用 EV 芯片进行调试时，实际单片机 OCDSDA 和 OCDSCK 引脚上的其它共用功能无效。由于这两个 OCDS 引脚与 ICP 引脚共用，因此在线烧录时仍用作 Flash 存储器烧录引脚。关于 OCDS 功能的详细描述，请参考“Holtek e-Link for 8-bit MCU OCDS 使用手册”文件。

Holtek e-Link 引脚名称	EV 芯片引脚名称	功能
OCDSDA	OCDSDA	片上调试串行数据 / 地址输入 / 输出
OCDSCK	OCDSCK	片上调试时钟输入
VDD	VDD	电源
VSS	VSS	地

数据存储器

数据存储器是内容可更改的 8 位 RAM 内部存储器，用来储存临时数据。

数据存储器分为两部分，第一部分是特殊功能数据存储器。这些寄存器有固定的地址且与单片机的正确操作密切相关。大多特殊功能寄存器都可在程序控制下直接读取和写入，但有些被加以保护而不对用户开放。第二部分数据存储器是做一般用途使用，都可在程序控制下进行读取和写入。

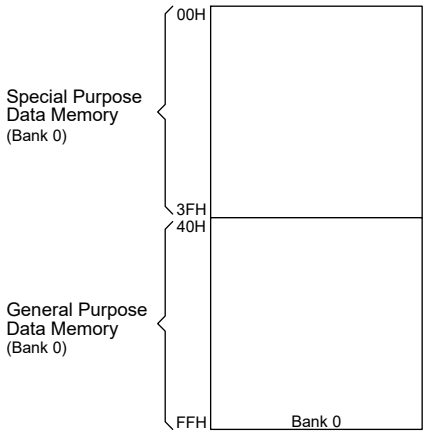
切换不同区域可通过正确配置存储器指针实现。

结构

数据存储器只有一个 bank，位于 8 位存储器中。数据存储器 Bank 分为两类，特殊功能数据存储器和通用数据存储器。特殊功能数据存储器的范围为 00H~3FH，而通用数据存储器的地址范围为 40H~FFH。

特殊功能数据存储器		通用数据存储器	
所在 Banks	Bank：地址	容量	Bank：地址
0	0：00H~3FH	64×8	0：40H~FFH

数据存储器概要



数据存储器结构

通用数据存储器

所有的单片机程序需要一个读 / 写的存储区，让临时数据可以被储存和再使用，该 RAM 区域就是通用数据存储器。这个数据存储区可让使用者进行读取和写入的操作。使用位操作指令可对个别的位做置位或复位的操作，较大地方便了用户在数据存储器内进行位操作。

特殊功能数据存储器

这个区域的数据存储器是存放特殊寄存器的，这些寄存器与单片机的正确操作密切相关，大多数的寄存器可进行读取和写入，只有一些是被写保护而只能读取的，相关细节的介绍请参看有关特殊功能寄存器的部分。要注意的是，任何读取指令对存储器中未定义的地址进行读取将返回“00H”。

	Bank 0		Bank0
00H	IAR0	20H	PAS1
01H	MP0	21H	IFS
02H	IAR1	22H	CTM0C0
03H	MP1	23H	CTM0C1
04H		24H	CTM0DL
05H	ACC	25H	CTM0DH
06H	PCL	26H	CTM0AL
07H	TBLP	27H	CTM0AH
08H	TBLH	28H	CTM1C0
09H	TBHP	29H	CTM1C1
0AH	STATUS	2AH	CTM1DL
0BH		2BH	CTM1DH
0CH		2CH	CTM1AL
0DH		2DH	CTM1AH
0EH		2EH	CTM2C0
0FH	RSTFC	2FH	CTM2C1
10H	INTC0	30H	CTM2DL
11H	INTC1	31H	CTM2DH
12H	MFI0	32H	CTM2AL
13H	MFI1	33H	CTM2AH
14H	PA	34H	CASCON
15H	PAC	35H	CASPRE
16H	PAPU	36H	CASTH
17H	PAWU	37H	D0CNT
18H		38H	D1CNT
19H	WDTC	39H	PCNT
1AH	PSCR	3AH	RCNT
1BH	TBC	3BH	CASD0
1CH	SCC	3CH	CASD1
1DH	HIRCC	3DH	CASD2
1EH	MFI2	3EH	INTCON
1FH	PAS0	3FH	CCS

: Unused, read as “00”

特殊功能数据存储器结构

特殊功能寄存器

大部分特殊功能寄存器的细节将在相关功能章节描述，但有几个寄存器需在此章节单独描述。

间接寻址寄存器 – IAR0, IAR1

间接寻址寄存器 IAR0 和 IAR1 的地址虽位于数据存储区，但其并没有实际的物理地址。间接寻址的方法准许使用存储器指针做数据操作，以取代定义实际存储器地址的直接存储器寻址方法。在间接寻址寄存器 IAR0 和 IAR1 上的任何动作，将对存储器指针 MP0 和 MP1 所指定的存储器地址产生对应的读 / 写操作。它们总是成对出现，IAR0 和 MP0 可以访问 Bank 0，而 IAR1 和 MP1 可以访问任何 Bank。因为这些间接寻址寄存器不是实际存在的，直接读取将返回“00H”的结果，而直接写入此寄存器则不做任何操作。

存储器指针 – MP0, MP1

该单片机提供两个存储器指针，即 MP0 和 MP1。由于这些指针在数据存储器中能像普通的寄存器一般被操作，因此提供了一个寻址和数据追踪的有效方法。当对间接寻址寄存器进行任何操作时，单片机指向的实际地址是由存储器指针所指定的地址。MP0 和 IAR0 用于访问 Bank 0，而 MP1 和 IAR1 可访问所有的 Bank。

以下例子说明如何清除一个具有 4 RAM 地址的区块，它们已事先定义成地址 adres1 到 adres4。

间接寻址程序举例

```
data .section ´data´
adres1 db ?
adres2 db ?
adres3 db ?
adres4 db ?
block  db ?
code .section at 0 ´code´
org 00h
start:
    mov a,04h              ; setup size of block
    mov block,a
    mov a,offset adres1    ; Accumulator loaded with first RAM address
    mov mp0,a              ; setup memory pointer with first RAM address
loop:
    clr IAR0               ; clear the data at address defined by MP0
    inc mp0                ; increment memory pointer
    sdz block              ; check if last memory location has been cleared
    jmp loop
continue:
```

在上面的例子中有一点值得注意，即并没有确定 RAM 地址。

累加器 – ACC

对任何单片机来说，累加器是相当重要的，且与 ALU 所完成的运算有密切关系，所有 ALU 得到的运算结果都会暂时存在 ACC 累加器里。若没有累加器，ALU 必须在每次进行如加法、减法和移位的运算时，将结果写入到数据存储器，这样会造成程序编写和时间的负担。另外数据传送也常常牵涉到累加器的临时储存功能，例如在使用者定义的一个寄存器和另一个寄存器之间传送数据时，由于两寄存器之间不能直接传送数据，因此必须通过累加器来传送数据。

程序计数器低字节寄存器 – PCL

为了提供额外的程序控制功能，程序计数器低字节设置在数据存储器的特殊功能区域内，程序员可对此寄存器进行操作，很容易的直接跳转到其它程序地址。直接给 PCL 寄存器赋值将导致程序直接跳转到程序存储器的某一地址，然而由于寄存器只有 8 位长度，因此只允许在本页的程序存储器范围内进行跳转，而当使用这种运算时，要注意会插入一个空指令周期。

查表寄存器 – TBLP, TBHP, TBLH

这三个特殊功能寄存器对存储在程序存储器中的表格进行操作。TBLP 和 TBHP 为表格指针，指向表格数据存储的地址。它们的值必须在任何表格读取指令执行前加以设定，由于它们的值可以被如“INC”或“DEC”的指令所改变，这就提供了一种简单的方法对表格数据进行读取。表格读取数据指令执行之后，表格数据高字节存储在 TBLH 中。其中要注意的是，表格数据低字节会被传送到使用者指定的地址。

状态寄存器 – STATUS

这 8 位的状态寄存器由零标志位 (Z)、进位标志位 (C)、辅助进位标志位 (AC)、溢出标志位 (OV)、暂停标志位 (PDF) 和看门狗定时器溢出标志位 (TO) 组成。这些算术 / 逻辑操作和系统运行标志位是用来记录单片机的运行状态。

除了 PDF 和 TO 标志外，状态寄存器中的位像其它大部分寄存器一样可以被改变。任何数据写入到状态寄存器将不会改变 TO 或 PDF 标志位。另外，执行不同的指令后，与状态寄存器有关的运算可能会得到不同的结果。TO 标志位只会受系统上电、看门狗溢出或执行“CLR WDT”或“HALT”指令影响。PDF 标志位只会受执行“HALT”或“CLR WDT”指令或系统上电影响。

Z、OV、AC 和 C 标志位通常反映最近运算的状态。

- C：当加法运算的结果产生进位，或减法运算的结果没有产生借位时，则 C 被置位，否则 C 被清零，同时 C 也会被带进位的移位指令所影响。
- AC：当低半字节加法运算的结果产生进位，或低半字节减法运算的结果没有产生借位时，AC 被置位，否则 AC 被清零。
- Z：当算术或逻辑运算结果是零时，Z 被置位，否则 Z 被清零。
- OV：当运算结果高两位的进位状态异或结果为 1 时，OV 被置位，否则 OV 被清零。
- PDF：系统上电或执行“CLR WDT”指令会清零 PDF，而执行“HALT”指令则会置位 PDF。
- TO：系统上电或执行“CLR WDT”或“HALT”指令会清零 TO，而当 WDT 溢出则会置位 TO。

另外，当进入一个中断程序或执行子程序调用时，状态寄存器不会自动压入到堆栈保存。假如状态寄存器的内容是重要的且子程序可能改变状态寄存器的话，则需谨慎的去做正确的储存。

STATUS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	TO	PDF	OV	Z	AC	C
R/W	—	—	R	R	R/W	R/W	R/W	R/W
POR	—	—	0	0	x	x	x	x

“x”：为未知

Bit 7~6　未定义，读为“0”

Bit 5　**TO**：看门狗溢出标志位
0：系统上电或执行“CLR WDT”或“HALT”指令后
1：看门狗溢出发生

Bit 4　**PDF**：暂停标志位
0：系统上电或执行“CLR WDT”指令后
1：执行“HALT” 指令

Bit 3　**OV**：溢出标志位
0：无溢出
1：运算结果高两位的进位状态异或结果为 1

Bit 2　**Z**：零标志位
0：算术或逻辑运算结果不为 0
1：算术或逻辑运算结果为 0

Bit 1　**AC**：辅助进位标志位
0：无辅助进位
1：在加法运算中低四位产生了向高四位进位，或减法运算中低四位不发生从高四位借位

Bit 0　**C**：进位标志位
0：无进位
1：如果在加法运算中结果产生了进位，或在减法运算中结果不发生借位
C 也受循环移位指令的影响。

振荡器

不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。振荡器的灵活性使得在速度和功耗方面可以达到较佳的优化。振荡器选择及操作是通过应用程序和相应的控制寄存器完成的。

振荡器概述

振荡器除了作为系统时钟源，还作为看门狗定时器和时基中断的时钟源。两个完全集成的内部振荡器不需要任何外围器件。较高频率的振荡器提供更高的性能，但要求有更高的功率，反之亦然。动态切换快慢系统时钟的能力使单片机具有灵活而优化的性能 / 功耗比，此特性对功耗敏感的应用领域尤为重要。

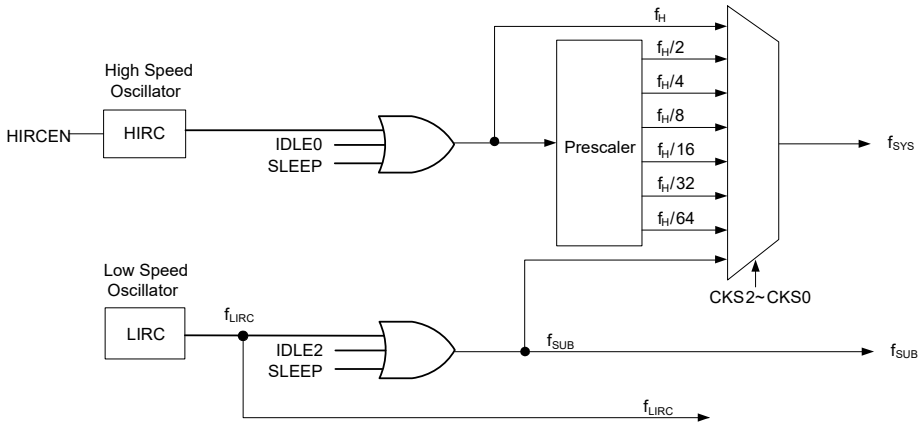
类型	名称	频率
内部高速 RC	HIRC	8MHz
内部低速 RC	LIRC	32kHz

振荡器类型

系统时钟配置

此单片机有两个系统振荡器，包括一个高速振荡器和一个低速振荡器。高速振荡器为内部 8MHz RC 振荡器，即 HIRC。低速振荡器为内部 32kHz RC 振荡器，即 LIRC。

低速或高速系统时钟频率由 SCC 寄存器的 CKS2~CKS0 位决定的。请注意，两个振荡器必须做出选择，即一个高速和一个低速振荡器。



系统时钟配置

内部高速 RC 振荡器 – HIRC

内部高速 RC 振荡器是一个完全集成的系统振荡器，不需其它外部器件。内部 RC 振荡器具有一个 8MHz 的固定频率。芯片在制造时进行调整且内部含有频率补偿电路，使得振荡频率因电源电压、温度以及芯片制成工艺不同的影响较大程度地降低。

内部 32kHz 振荡器 – LIRC

内部 32kHz 系统振荡器是一个完全集成 RC 振荡器，它在 5V 电压下运行的典型频率值为 32kHz 且无需外部元件。芯片在制造时进行调整且内部含有频率补偿电路，使得振荡器因电源电压、温度及芯片制成工艺不同的影响较大程度地降低。

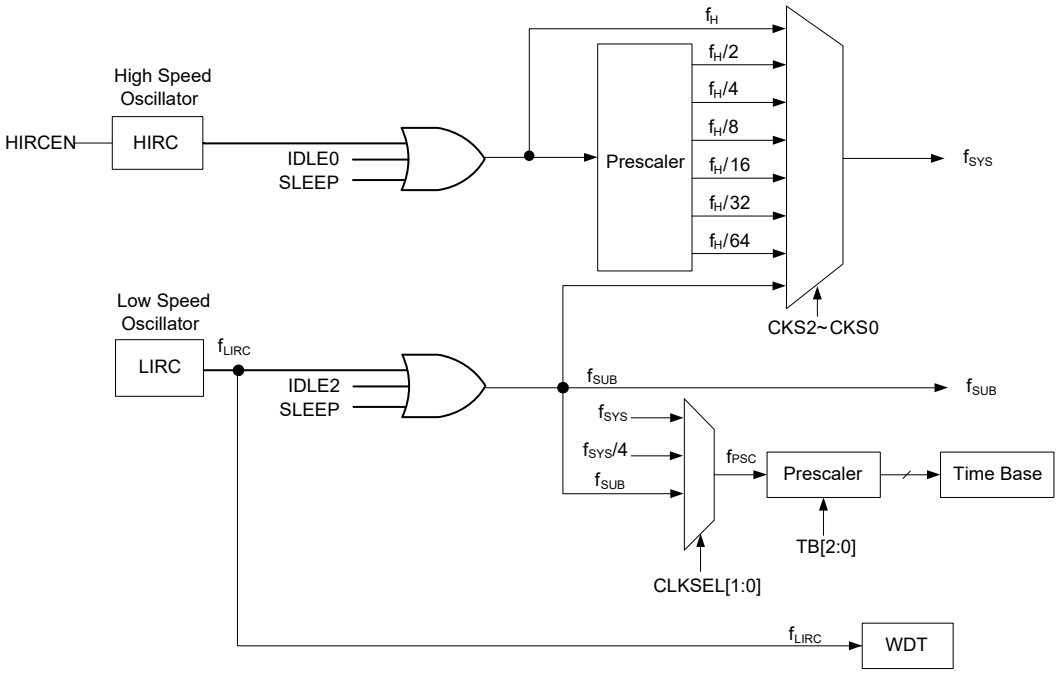
工作模式和系统时钟

现今的应用要求单片机具有较高的性能及尽可能低的功耗，这种矛盾的要求在便携式电池供电的应用领域尤为明显。高性能所需要的高速时钟将增加功耗，反之亦然。此单片机提供高、低速两种时钟源，它们之间可以动态切换，用户可通过优化单片机操作来获得较佳性能 / 功耗比。

系统时钟

单片机为 CPU 和外围功能操作提供了多种不同的时钟源。用户使用寄存器编程可获取多种时钟，进而使系统时钟获取较大的应用性能。

主系统时钟可来自高频时钟源 f_H 或低频时钟源 f_{SUB}，通过 SCC 寄存器中的 CKS2~CKS0 位进行选择。高频时钟源来自 HIRC 振荡器，低频时钟源来自 LIRC 振荡器。其它系统时钟还有高速系统振荡器的分频 $f_H/2$~$f_H/64$。



单片机时钟配置

注：当系统时钟源 f_{SYS} 由 f_H 到 f_{SUB} 转换时，可以通过设置相应的使能控制位将高速振荡器停止以节省耗电，或者使其继续振荡为外围电路提供 f_H~$f_H/64$ 频率的时钟源。

系统工作模式

单片机有 6 种不同的工作模式，每种有它自身的特性，根据应用中不同的性能和功耗要求可选择不同的工作模式。单片机正常工作有两种模式：正常模式和低速模式。剩余的 4 种工作模式：休眠模式、空闲模式 0、空闲模式 1 和空闲模式 2 用于单片机 CPU 关闭时以节省耗电。

工作模式	CPU	寄存器设置			f_{SYS}	f_H	f_{SUB}	f_{LIRC}
		FHIDEN	FSIDEN	CKS[2:0]				
正常模式	On	x	x	000~110	On	On	On	On
低速模式	On	x	x	111	On	On/Off(1)	On	On
空闲模式 0	Off	0	1	000~110	Off	Off	On	On
				111	On			
空闲模式 1	Off	1	1	xxx	On	On	On	On
空闲模式 2	Off	1	0	000~110	On	On	Off	On
				111	Off			
休眠模式	Off	0	0	xxx	Off	Off	Off	On/Off(2)

“x”表示不相关

注：1. 在低速模式下，f_H 开启或关闭由相应的振荡器使能位控制。
2. 在休眠模式下，f_{LIRC} 开启或关闭由 WDT 功能使能或除能控制。

正常模式

顾名思义，这是主要的工作模式之一，单片机的所有功能均可在此模式中实现且系统时钟由一个高速振荡器提供。该模式下单片机正常工作的时钟源来自 HIRC 振荡器。高速振荡器频率可被分为 1~64 的不等比率，实际的比率由 SCC 寄存器中的 CKS2~CKS0 位选择。单片机使用高速振荡器分频作为系统时钟可减少工作电流。

低速模式

此模式的系统时钟虽为较低速时钟源，但单片机仍能正常工作。该低速时钟源来自 f_{SUB}，而 f_{SUB} 来自 LIRC 振荡器。

休眠模式

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 和 FSIDEN 位都为低时，系统进入休眠模式。在休眠模式中，CPU 停止运行。为外围功能提供时钟的 f_{SUB} 也会停止。然而若看门狗定时器功能使能，f_{LIRC} 将继续运行。

空闲模式 0

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 位为低、FSIDEN 位为高时，系统进入空闲模式 0。在空闲模式 0 中，CPU 停止，但低速振荡器会开启以驱动一些外围功能。

空闲模式 1

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 和 FSIDEN 位都为高时，系统进入空闲模式 1。在空闲模式 1 中，CPU 停止，但高速和低速振荡器都会开启以保持一些外围功能继续工作。

空闲模式 2

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 位为高、FSIDEN 位为低时，系统进入空闲模式 2。在空闲模式 2 中，CPU 停止，但高速振荡器会开启以保持一些外围功能继续工作。

控制寄存器

寄存器 SCC 和 HIRCC 用于控制系统时钟和相应的振荡器配置。

寄存器名称	位							
	7	6	5	4	3	2	1	0
SCC	CKS2	CKS1	CKS0	—	—	—	FHIDEN	FSIDEN
HIRCC	—	—	—	—	—	—	HIRCF	HIRCEN

系统工作模式控制寄存器列表

SCC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CKS2	CKS1	CKS0	—	—	—	FHIDEN	FSIDEN
R/W	R/W	R/W	R/W	—	—	—	R/W	R/W
POR	0	0	0	—	—	—	0	0

Bit 7~5 **CKS2~CKS0**：系统时钟选择位

000：f_H
001：$f_H/2$
010：$f_H/4$
011：$f_H/8$
100：$f_H/16$
101：$f_H/32$
110：$f_H/64$
111：f_{SUB}

这三位用于选择系统时钟源。除了 f_H 或 f_{SUB} 提供的系统时钟源外，也可使用高频振荡器的分频作为系统时钟。

Bit 4~2 未定义，读为“0”

Bit 1 **FHIDEN**：CPU 关闭时高频振荡器控制位

0：除能
1：使能

此位用来控制在执行 HALT 指令 CPU 关闭后高速振荡器是被激活还是停止。

Bit 0 **FSIDEN**：CPU 关闭时低频振荡器控制位

0：除能
1：使能

此位用来控制在执行 HALT 指令 CPU 关闭后低速振荡器是被激活还是停止。

HIRCC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	HIRCF	HIRCEN
R/W	—	—	—	—	—	—	R/W	R/W
POR	—	—	—	—	—	—	0	1

Bit 7~2 未定义，读为“0”

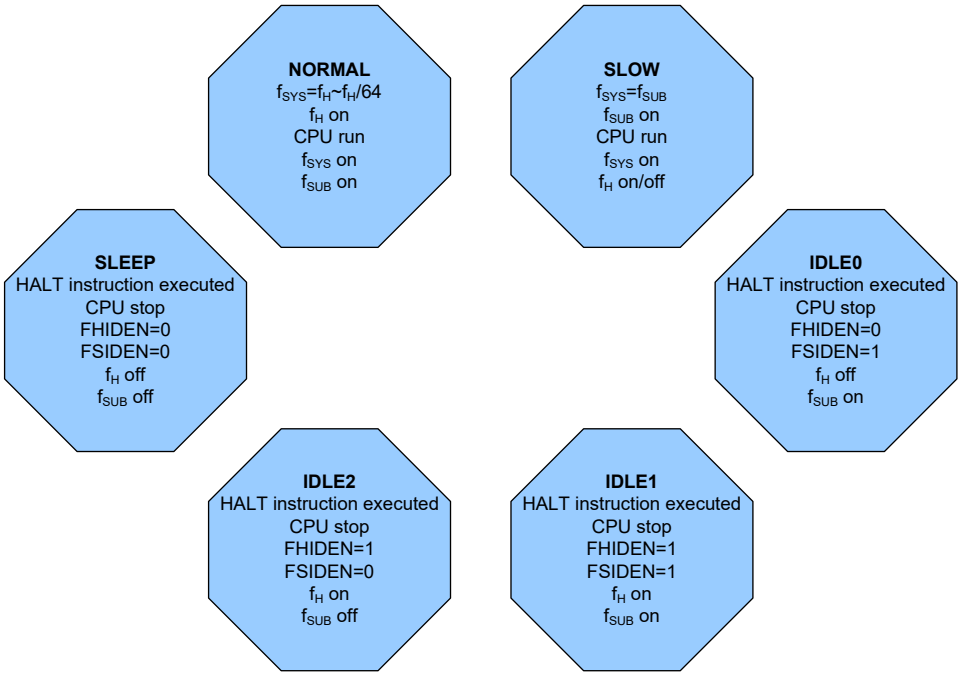
Bit 1 **HIRCF**：HIRC 振荡器稳定标志位
0：HIRC 不稳定
1：HIRC 稳定
此位用于表明 HIRC 振荡器是否稳定。HIRCEN 位置高使能 HIRC 振荡器，HIRCF 位会先被清零，在 HIRC 稳定后会被置高。

Bit 0 **HIRCEN**：HIRC 振荡器使能控制位
0：除能
1：使能

工作模式切换

单片机可在各个工作模式间自由切换，使得用户可根据所需选择较佳的性能 / 功耗比。用此方式，对单片机工作的性能要求不高的情况下，可使用较低频时钟以减少工作电流，在便携式应用上延长电池的使用寿命。

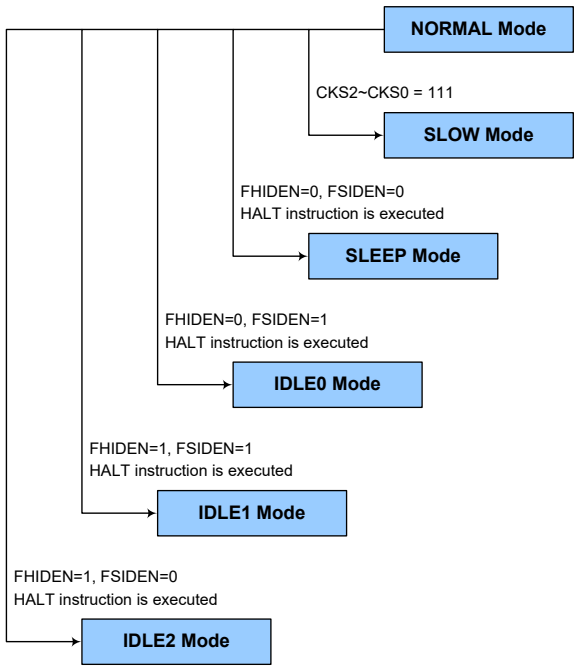
简单来说，正常模式和低速模式间的切换仅需设置 SCC 寄存器中的 CKS2~CKS0 位即可实现，而正常模式 / 低速模式与休眠模式 / 空闲模式间的切换经由 HALT 指令实现。当 HALT 指令执行后，单片机是否进入空闲模式或休眠模式由 SCC 寄存器中的 FHIDEN 和 FSIDEN 位决定的。



正常模式切换到低速模式

系统运行在正常模式时使用高速系统振荡器，因此较为耗电。可通过设置 SCC 寄存器中的 CKS2~CKS0 位为“111”使系统时钟切换至运行在低速模式下。此时将使用低速系统振荡器以节省耗电。用户可在对性能要求不高的操作中使用此方法以减少耗电。

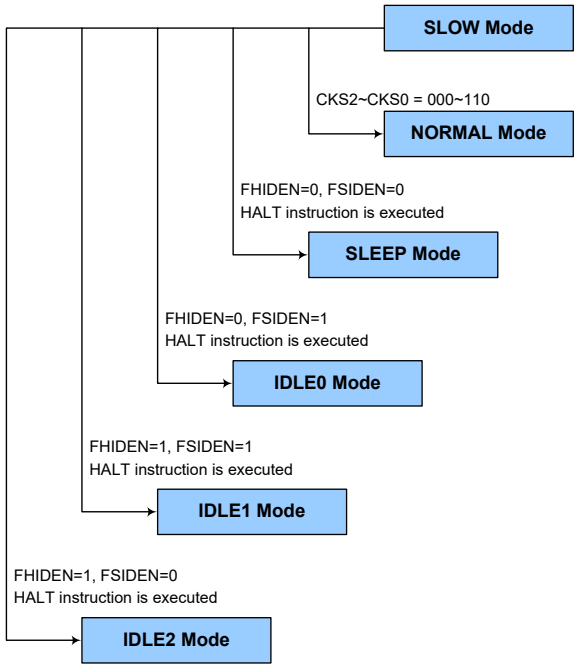
低速模式的时钟源来自 LIRC 振荡器，因此要求此振荡器在所有模式切换动作发生前稳定下来。



低速模式切换到正常模式

在低速模式时系统时钟来自 f_{SUB}。切换回正常模式时，需设置 CKS2~CKS0 位为“000”~“110”使系统时钟从 f_{SUB} 切换到 f_H~f_H/64。

然而，如果在低速模式下 f_H 因未使用而关闭，那么从低速模式切换到正常模式时，它需要一定的时间来重新起振和稳定，可通过检测 HIRCC 寄存器中的 HIRCF 位进行判断，所需的高速系统振荡器稳定时间指定在交流电气特性中。



进入休眠模式

进入休眠模式的方法仅有一种——应用程序中执行“HALT”指令前需设置SCC寄存器中的FHIDEN和FSIDEN位都为“0”。在上述条件下执行该指令后，将发生的情况如下：

- 系统时钟停止运行，应用程序停止在“HALT”指令处。
- 数据存储器中的内容和寄存器将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

进入空闲模式 0

进入空闲模式 0 的方法仅有一种——应用程序中执行“HALT”指令前需设置SCC 寄存器中的 FHIDEN 位为“0”且 FSIDEN 位为“1”。在上述条件下执行该指令后，将发生的情况如下：

- f_H 时钟停止运行，应用程序停止在“HALT”指令处，但 f_{SUB} 时钟将继续运行。
- 数据存储器中的内容和寄存器将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

进入空闲模式 1

进入空闲模式 1 的方法仅有一种——应用程序中执行“HALT”指令前需设置SCC寄存器中的FHIDEN和FSIDEN位都为“1”。在上述条件下执行该指令后，将发生的情况如下：

- f_H 和 f_{SUB} 时钟开启，应用程序停止在“HALT”指令处。
- 数据存储器中的内容和寄存器将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

进入空闲模式 2

进入空闲模式 2 的方法仅有一种——应用程序中执行“HALT”指令前需设置SCC 寄存器中的 FHIDEN 位为“1”且 FSIDEN 位为“0”。在上述条件下执行该指令后，将发生的情况如下：

- f_H 时钟开启，f_{SUB} 时钟关闭，应用程序停止在“HALT”指令处。
- 数据存储器中的内容和寄存器将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

待机电流注意事项

由于单片机进入休眠或空闲模式的主要原因是将 MCU 的电流降低到尽可能低，可能到只有几个微安的级别（空闲模式 1 和空闲模式 2 除外），所以如果要将电路的电流进一步降低，电路设计者还应有其它的考虑。应该特别注意的是单片机的输入 / 输出引脚。所有高阻抗输入脚都必须连接到固定的高或低电平，因为引脚浮空会造成内部振荡并导致耗电增加。这些引脚也必须设为输出或带有上拉电阻的输入。

另外还需注意单片机设为输出的 I/O 引脚上的负载。应将它们设置在有最小拉电流的状态或将它们和其它的 CMOS 输入一样接到没有拉电流的外部电路上。还应注意的是，如果选择 LIRC 振荡器，会导致耗电增加。

在空闲模式 1 和空闲模式 2 中，高速振荡器开启。若外围功能时钟源来自高速振荡器，额外的待机电流也可能会有几百微安。

唤醒

单片机进入休眠模式或空闲模式后，系统时钟将停止以降低功耗。然而单片机再次唤醒，原来的系统时钟重新起振、稳定且恢复正常工作需要一定的时间。

系统进入休眠或空闲模式之后，可以通过以下几种方式唤醒：

- PA 口下降沿
- 系统中断
- WDT 溢出

单片机执行 HALT 指令，PDF 将被置位；系统上电或执行清除看门狗的指令，PDF 将被清零。看门狗计数器溢出将会置位 TO 标志并唤醒系统，这种复位会重置程序计数器和堆栈指针，其它标志保持原有状态。

PA 口中的每个引脚都可以通过 PAWU 寄存器使能下降沿唤醒功能。PA 端口唤醒后，程序将在“HALT”指令后继续执行。如果系统是通过中断唤醒，则有两种可能发生。第一种情况是：相关中断除能或是中断使能且堆栈已满，则程序会在“HALT”指令之后继续执行。这种情况下，唤醒系统的中断会等到相关中断使能或有堆栈层可以使用之后才执行。第二种情况是：相关中断使能且堆栈未满，则中断可以马上执行。如果在进入休眠或空闲模式之前中断标志位已经被设置为“1”，则相关中断的唤醒功能将无效。

看门狗定时器

看门狗定时器的功能在于防止如电磁的干扰等外部不可控制事件，所造成的程序不正常动作或跳转到未知的地址。

看门狗定时器时钟源

WDT 定时器时钟源来自于内部时钟 f_{LIRC}，而 f_{LIRC} 的时钟源由 LIRC 振荡器提供。内部振荡器 LIRC 的频率大约为 32kHz，这个特殊的内部时钟周期随 V_{DD}、温度和制成的不同而变化。看门狗定时器的时钟源可分频为 2^8~2^{18} 以提供更大的溢出周期，分频比由 WDTC 寄存器中的 WS2~WS0 位来决定。

看门狗定时器控制寄存器

WDTC 寄存器用于控制 WDT 功能的使能 / 除能和复位 MCU 操作及选择溢出周期。这个寄存器控制看门狗定时器的所有操作。

WDTC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WE4	WE3	WE2	WE1	WE0	WS2	WS1	WS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	1	0	0	1	1

Bit 7~3 **WE4~WE0**：WDT 软件控制位
10101：除能
01010：使能
其它值：MCU 复位
若因外部环境噪声使 WE[4:0] 值发生改变，则单片机会在一段延迟时间 t_{SRESET} 后产生复位，复位后 RSTFC 寄存器中的 WRF 标志位会被置位。

Bit 2~0 **WS2~WS0**：WDT 溢出周期选择位
000B：$2^8/f_{LIRC}$
001B：$2^9/f_{LIRC}$
010B：$2^{10}/f_{LIRC}$
011B：$2^{11}/f_{LIRC}$ (默认)
100B：$2^{12}/f_{LIRC}$
101B：$2^{13}/f_{LIRC}$
110B：$2^{14}/f_{LIRC}$
111B：$2^{15}/f_{LIRC}$
这三位控制 WDT 时钟源的分频比，从而实现对 WDT 溢出周期的控制。

RSTFC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	WRF
R/W	—	—	—	—	—	—	—	R/W
POR	—	—	—	—	—	—	—	0

Bit 7~1 未定义，读为“0”

Bit 0 **WRF**：WDT 控制寄存器软件复位标志位
0：未发生
1：发生
当发生 WDTC 控制寄存器软件复位时，此位被置为“1”，且只能通过应用程序清零。

看门狗定时器操作

当 WDT 溢出时，它产生一个芯片复位的动作。这也就意味着正常工作期间，用户需在应用程序中看门狗溢出前有策略地清看门狗定时器以防止其产生复位，可使用清除看门狗指令实现。无论什么原因，程序失常跳转到一个未知的地址或进入一个死循环，这些清除指令都不能被正确执行，此种情况下，看门狗将溢出以使单片机复位。WDTC 寄存器中的 WE4~WE0 位可用来控制看门狗定时器的使能 / 除能和复位操作。当 WE4~WE0 设置为“10101B”时除能 WDT 功能，而当设置为“01010B”时使能 WDT 功能。如果 WE4~WE0 设置为除“01010B”和“10101B”以外的值时，则经过一段延迟时间 t_{SRESET} 后单片机复位。上电后这些位初始化为“01010B”。

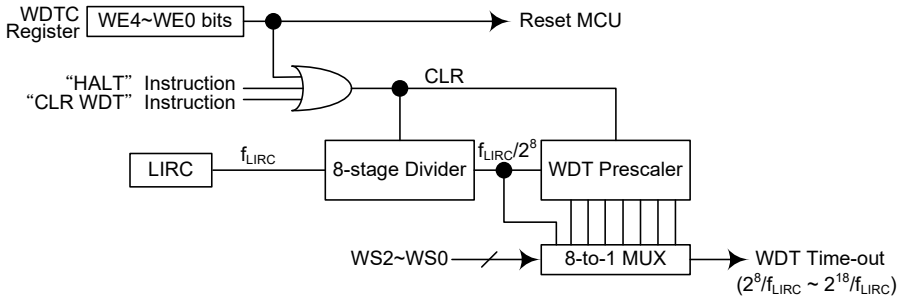
WE4~WE0 位	WDT 功能
10101B	除能
01010B	使能
其它值	MCU 复位

看门狗定时器使能 / 除能控制

程序正常运行时，WDT 溢出将导致芯片复位，并置位状态标志位 TO。若系统处于休眠或空闲模式，当 WDT 发生溢出时，状态寄存器中的 TO 应置位，仅 PC 和堆栈指针复位。有三种方法可以用来清除 WDT 的内容。第一种是通过 WDT 软件复位，即将 WE4~WE0 位设置成除了 01010B 和 10101B 外的任意值，第二种是通过软件清除指令，而第三种是通过“HALT”指令。

该单片机只使用一条清看门狗指令“CLR WDT”。因此只要执行“CLR WDT”便清除 WDT。

当设置分频比为 2^{18} 时，溢出周期最大。例如，时钟源为 32kHz LIRC 振荡器，分频比为 2^{18} 时最大溢出周期约 8s，分频比为 2^8 时最小溢出周期约 8ms。



看门狗定时器

复位和初始化

复位功能是任何单片机中基本的部分，使得单片机可以设定一些与外部参数无关的先置条件。最重要的复位条件是在单片机首次上电以后，经过短暂的延迟，内部硬件电路使得单片机处于预期的稳定状态并开始执行第一条程序指令。上电复位以后，在程序执行之前，部分重要的内部寄存器将会被设定为预先设定的状态。程序计数器就是其中之一，它会被清除为零，使得单片机从最低的程序存储器地址开始执行程序。

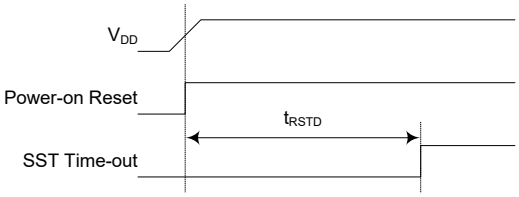
另一种复位为看门狗溢出单片机复位。不同方式的复位操作会对寄存器产生不同的影响。

复位功能

单片机包含几种由内部事件触发的复位方式。

上电复位

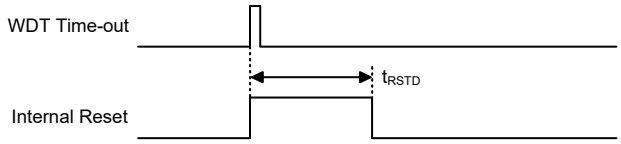
这是最基本且不可避免的复位，发生在单片机上电后。除了保证程序存储器从开始地址执行，上电复位也使得其它寄存器被设定在预设条件。所有的输入/输出端口控制寄存器在上电复位时会保持高电平，以确保上电后所有引脚被设定为输入状态。



上电复位时序图

正常运行时看门狗溢出复位

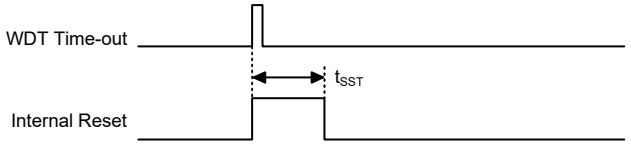
除了看门狗溢出标志位 TO 将被设为“1”之外，正常或低速模式下时看门狗溢出复位和上电复位相同。



正常运行时看门狗溢出时序图

休眠或空闲时看门狗溢出复位

休眠或空闲时看门狗溢出复位和其它种类的复位有些不同。除了程序计数器与堆栈指针将被清“0”及 TO 位被设为“1”外，绝大部分的条件保持不变。图中 t_{SST} 的详细说明请参考交流电气特性。



休眠或空闲时看门狗溢出复位时序图

复位初始状态

不同的复位形式以不同的途径影响复位标志位。这些标志位，即 PDF 和 TO 位存放在状态寄存器中，由休眠或空闲模式功能或看门狗计数器等几种控制器操作控制。复位标志位如下所示：

TO	PDF	复位条件
0	0	上电复位
1	u	正常模式或低速模式时的 WDT 溢出复位
1	1	空闲或休眠模式时的 WDT 溢出复位

“u”代表不改变

在单片机上电复位之后，各功能单元初始化的情形，列于下表。

项目	复位后情况
程序计数器	清除为零
中断	所有中断被除能
看门狗定时器，时基	清除，且 WDT 重新计数
定时器模块	所有定时器模块停止
输入 / 输出口	I/O 口设为输入模式
堆栈指针	堆栈指针指向堆栈顶端

不同的复位形式对单片机内部寄存器的影响是不同的。为保证复位后程序能正常执行，了解寄存器在特定条件复位后的设置是非常重要的。下表即为不同方式复位后内部寄存器的状况。若芯片有多种封装类型，表格反映较大的封装的情况。

寄存器	上电复位	WDT 溢出 (正常操作)	WDT 溢出 (IDLE/SLEEP)
程序计数器	000H	000H	000H
MP0	1xxx xxxx	1xxx xxxx	1uuu uuuu
MP1	1xxx xxxx	1xxx xxxx	1uuu uuuu
ACC	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	0000 0000	0000 0000	0000 0000
TBLP	xxxx xxxx	uuuu uuuu	uuuu uuuu
TBLH	--xx xxxx	--uu uuuu	--uu uuuu
TBHP	---- --xx	---- --uu	---- --uu
STATUS	--00 xxxx	--1u uuuu	--11 uuuu
RSTFC	---- ---0	---- ---u	---- ---u
INTC0	-000 0000	-000 0000	-uuu uuuu
INTC1	--00 --00	--00 --00	--uu --uu
MFI0	--00 --00	--00 --00	--uu --uu
MFI1	--00 --00	--00 --00	--uu --uu
MFI2	--00 --00	--00 --00	--uu --uu
PA	1111 1111	1111 1111	uuuu uuuu
PAC	1111 1111	1111 1111	uuuu uuuu
PAPU	0000 0000	0000 0000	uuuu uuuu
PAWU	0000 0000	0000 0000	uuuu uuuu

寄存器	上电复位	WDT 溢出 (正常操作)	WDT 溢出 (IDLE/SLEEP)
WDTC	0101 0011	0101 0011	uuuu uuuu
PSCR	---- --00	---- --00	---- --uu
TBC	0--- -000	0--- -000	u--- -uuu
SCC	000- --00	000- --00	uuu- --uu
HIRCC	---- --01	---- --01	---- --uu
PAS0	0000 00--	0000 00--	uuuu uu--
PAS1	0000 0000	0000 0000	uuuu uuuu
IFS	---- ---0	---- ---0	---- ---u
CTM0C0	0000 0000	0000 0000	uuuu uuuu
CTM0C1	0000 0000	0000 0000	uuuu uuuu
CTM0DL	0000 0000	0000 0000	uuuu uuuu
CTM0DH	---- --00	---- --00	---- --uu
CTM0AL	0000 0000	0000 0000	uuuu uuuu
CTM0AH	---- --00	---- --00	---- --uu
CTM1C0	0000 0000	0000 0000	uuuu uuuu
CTM1C1	0000 0000	0000 0000	uuuu uuuu
CTM1DL	0000 0000	0000 0000	uuuu uuuu
CTM1DH	---- --00	---- --00	---- --uu
CTM1AL	0000 0000	0000 0000	uuuu uuuu
CTM1AH	---- --00	---- --00	---- --uu
CTM2C0	0000 0000	0000 0000	uuuu uuuu
CTM2C1	0000 0000	0000 0000	uuuu uuuu
CTM2DL	0000 0000	0000 0000	uuuu uuuu
CTM2DH	---- --00	---- --00	---- --uu
CTM2AL	0000 0000	0000 0000	uuuu uuuu
CTM2AH	---- --00	---- --00	---- --uu
CASCON	-100 0000	-100 0000	-uuu uuuu
CASPRE	---- -000	---- -000	---- -uuu
CASTH	---0 0111	---0 0111	---u uuuu
D0CNT	---0 0100	---0 0100	---u uuuu
D1CNT	---0 1010	---0 1010	---u uuuu
PCNT	0001 1000	0001 1000	uuuu uuuu
RCNT	1000 0000	1000 0000	uuuu uuuu
CASD0	0000 0000	0000 0000	uuuu uuuu
CASD1	0000 0000	0000 0000	uuuu uuuu
CASD2	0000 0000	0000 0000	uuuu uuuu
INTCON	0000 0000	0000 0000	uuuu uuuu
CCS	0010 --00	0010 --00	uuuu --uu

注：“u”表示不改变
“x”表示未知
“-”表示未定义

输入 / 输出端口

Holtek 单片机的输入 / 输出口控制具有很大的灵活性。大部分引脚可在用户程序控制下被设定为输入或输出。所有引脚的上拉电阻设置以及指定引脚的唤醒设置也都由软件控制，这些特性也使得此类单片机在广泛应用上都能符合开发的需求。

该系列单片机提供 PA 双向输入 / 输出口。这些寄存器在数据存储器有特定的地址。所有 I/O 口用于输入输出操作。作为输入操作，输入引脚无锁存功能，也就是说输入数据必须在执行“MOV A, [m]”，T2 的上升沿准备好，m 为端口地址。对于输出操作，所有数据都是被锁存的，且保持不变直到输出锁存被重写。

寄存器名称	位							
	7	6	5	4	3	2	1	0
PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
PAC	PAC7	PAC6	PA5	PAC4	PAC3	PAC2	PA1	PAC0
PAPU	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1	PAPU0
PAWU	PAWU7	PAWU6	PAWU5	PAWU4	PAWU3	PAWU2	PAWU1	PAWU0

I/O 口逻辑功能寄存器列表

上拉电阻

许多产品应用在端口处于输入状态时需要外加一个上拉电阻来实现上拉的功能。为了免去外部上拉电阻，当引脚规划为输入时，可由内部连接到一个上拉电阻。这些上拉电阻可通过 PAPU 寄存器来设置，它用一个 PMOS 晶体管来实现上拉电阻功能。

需要注意的是，当 I/O 引脚设为输入或 NMOS 输出时，上拉功能才会受相应的上拉控制寄存器控制开启，其它状态下上拉功能不可用。

PAPU 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1	PAPU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **PAPU7~PAPU0**：PA7~PA0 上拉功能控制位
0：除能
1：使能

PA 口唤醒

当使用暂停指令“HALT”迫使单片机进入休眠或空闲模式，单片机的系统时钟将会停止以降低功耗，此功能对于电池及低功耗应用很重要。唤醒单片机有很多种方法，其中之一就是使 PA 口的其中一个引脚从高电平转为低电平。这个功能特别适合于通过外部开关来唤醒的应用。PA 口的每个引脚可以通过设置 PAWU 寄存器来单独选择是否具有唤醒功能。

需要注意的是，只有当引脚功能为通用 I/O 功能且单片机处于暂停模式时，唤醒功能才会受相应的唤醒控制寄存器控制开启，其它状态下此唤醒功能不可用。

PAWU 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAWU7	PAWU6	PAWU5	PAWU4	PAWU3	PAWU2	PAWU1	PAWU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **PAWU7~PAWU0**：PA7~PA0 唤醒功能控制位
0：除能
1：使能

输入 / 输出端口控制寄存器

每一个输入 / 输出口都具有各自的控制寄存器，即 PAC，用来控制输入 / 输出状态。从而每个 I/O 引脚都可以通过软件控制，动态的设置为 CMOS 输出或输入。所有的 I/O 端口的引脚都各自对应于 I/O 端口控制的某一位。若 I/O 引脚要实现输入功能，则对应的控制寄存器的位需要设置为“1”。这时程序指令可以直接读取输入脚的逻辑状态。若控制寄存器相应的位被设定为“0”，则此引脚被设置为 CMOS 输出。当引脚设置为输出状态时，程序指令读取的是输出端口寄存器的内容。注意，如果对输出口做读取动作时，程序读取到的是内部输出数据锁存器中的状态，而不是输出引脚上实际的逻辑状态。

PAC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAC7	PAC6	PA5	PAC4	PAC3	PAC2	PAC1	PAC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 **PAC7~PAC0**：PA7~PA0 输入 / 输出控制位
0：输出
1：输入

引脚共用功能

引脚的多功能可以增加单片机应用的灵活性。有限的引脚个数将会限制设计者，而引脚的多功能将会解决很多此类问题。此外，这些引脚功能可以通过一系列寄存器进行设定。

引脚共用功能选择寄存器

封装中有限的引脚个数会对单片机某些功能造成影响。然而，引脚功能共用功能通过引脚功能选择，使得小封装单片机具有更多不同的功能。该系列单片机具有端口“A”输出功能选择寄存器“n”，即寄存器 PASn，和输入功能选择寄存器 IFS，用于选择多功能共用引脚上的所需功能。

当选择引脚共用输入功能，对应的输入和输出功能要进行合理设定。例如级联式收发器接口被使用，对应的输出引脚共用功能则要通过寄存器 PAS0 设置为级联式收发器接口功能同时通过 IFS 寄存器选择级联式收发器接口信号输入引脚。但是，如果选择外部中断功能，相关的输出引脚共用功能应选择作为 I/O 功能引脚，且也要选择中断输入信号。

要注意的最重要一点是，确保所需的引脚共用功能被正确地选择和取消。对于大多数引脚共用功能来说，要选择所需的引脚共用功能，首先应通过相应的引脚共用控制寄存器正确地选择该功能，然后再配置相应的外围功能设置以使能外围功能。但是，当设置相关引脚共用控制位段时，应特别注意一些与通用 I/O 功能共用相同的引脚共用控制配置的数字输入引脚，例如 CASDI 等。要选择这些引脚功能，除了必要的引脚共用控制和前面提到的外围功能设置，还必须设置输入 / 输出端口控制寄存器的相应位，将这些引脚设置为输入。要正确地取消引脚共用功能，首先应除能外围功能，然后再修改相应的引脚共用控制寄存器以选择其它的共用功能。

寄存器名称	位							
	7	6	5	4	3	2	1	0
PAS0	PAS07	PAS06	PAS05	PAS04	PAS03	PAS02	—	—
PAS1	PAS17	PAS16	PAS15	PAS14	PAS13	PAS12	PAS11	PAS10
IFS	—	—	—	—	—	—	—	IFS0

引脚共用功能选择寄存器列表

- **PAS0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PAS07	PAS06	PAS05	PAS04	PAS03	PAS02	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—
POR	0	0	0	0	0	0	—	—

Bit 7~6 **PAS07~PAS06**：PA3 引脚共用功能选择位
00：PA3
01：PA3
10：PA3
11：CASDI

Bit 5~4 **PAS05~PAS04**：PA2 引脚共用功能选择位
00：PA2
01：PA2
10：PA2
11：CASDI

Bit 3~2 **PAS03~PAS02**：PA1 引脚共用功能选择位
00：PA1
01：PA1
10：PA1
11：CASDO

Bit 1~0 未定义，读为“0”

PAS1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAS17	PAS16	PAS15	PAS14	PAS13	PAS12	PAS11	PAS10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 **PAS17~PAS16**：PA7 引脚共用功能选择位
00：PA7
01：PA7
10：PA7
11：CCO2

Bit 5~4 **PAS15~PAS14**：PA6 引脚共用功能选择位
00：PA6
01：PA6
10：PA6
11：CCO1

Bit 3~2 **PAS13~PAS12**：PA5 引脚共用功能选择位
00：PA5
01：PA5
10：PA5
11：CCO0

Bit 1~0 **PAS11~PAS10**：PA4 引脚共用功能选择位
00：PA4
01：PA4
10：PA4
11：CASDO

- **IFS 寄存器**

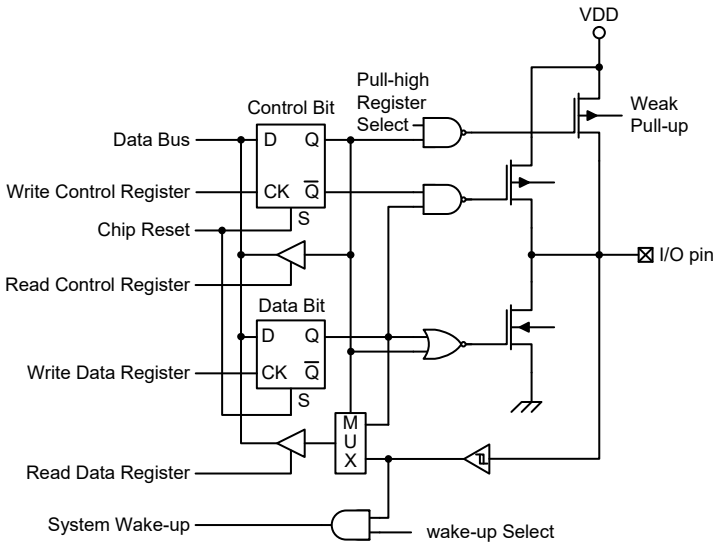
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	IFS0
R/W	—	—	—	—	—	—	—	R/W
POR	—	—	—	—	—	—	—	0

Bit 7~1 未定义，读为“0”

Bit 0 **IFS0**：级联式收发器接口来源选择
0：PA3
1：PA2

输入 / 输出引脚结构

下图为输入 / 输出引脚逻辑功能的内部结构图。输入 / 输出引脚的准确逻辑结构图可能与此图不同，这里只是为了方便对输入 / 输出引脚逻辑功能的理解提供一个参考。由于存在诸多的引脚共用结构，在此不方便提供所有类型引脚功能结构图。



逻辑功能输入 / 输出结构

编程注意事项

在编程中，最先要考虑的是端口的初始化。复位之后，所有的输入 / 输出数据及端口控制寄存器都将被设为逻辑高。所有输入 / 输出引脚默认为输入状态，而其电平则取决于其它相连接电路以及是否选择了上拉电阻。如果端口控制寄存器 PAC，某些引脚位被设定输出状态，这些输出引脚会有初始高电平输出，除非数据寄存器端口 PA 在程序中被预先设定。设置哪些引脚是输入及哪些引脚是输出，可通过设置正确的值到适当的端口控制寄存器，或使用指令“SET [m].i”及“CLR [m].i”来设定端口控制寄存器中个别的位。注意，当使用这些位控制指令时，系统即将产生一个读 - 修改 - 写的操作。单片机需要先读入整个端口上的数据，修改个别的位，然后重新把这些数据写入到输出端口。

PA 口的每个引脚都带唤醒功能。单片机处于休眠或空闲模式时，有很多方法可以唤醒单片机，其中之一就是通过 PA 任一引脚电平从高到低转换的方式，可以设置 PA 口一个或多个引脚具有唤醒功能。

定时器模块 – TM

控制和测量时间在任何单片机中都是一个很重要的部分。该单片机提供几个定时器模块 (简称 TM)，来实现和时间有关的功能。定时器模块是包括多种操作的定时单元，提供的操作有：定时 / 事件计数器，比较匹配输出以及 PWM 输出等功能。每个定时器模块有两个独立中断。每个 TM 外加的输入输出引脚，扩大了定时器的灵活性，便于用户使用。

这里只简单介绍简易型 TM 的基本特性，更多详细资料请参考简易型 TM 章节。

简介

该单片机包含三个简易型 TM，记为 CTM0、CTM1 和 CTM2。本章介绍简易型 TM 的一些特性，更多详细资料见后面章节。CTM 的基本功能见下表。

TM 功能	CTM
定时 / 计数器	√
比较匹配输出	√
PWM 通道数	1
PWM 对齐方式	边沿对齐
PWM 调节周期 & 占空比	占空比或周期

TM 功能概要

TM 操作

简易型 TM 提供从简单的定时操作到 PWM 信号产生等多种功能。理解 TM 操作的关键是比较 TM 内独立运行的计数器的值与内部比较器的预置值。当计数器的值与比较器的预置值相同时，则比较匹配，TM 中断信号产生，清零计数器并改变 TM 输出引脚的状态。用户选择内部时钟来驱动内部 TM 计数器。

TM 时钟源

驱动 TM 计数器的时钟源很多。通过设置 CTMn 控制寄存器的 CTnCK2~CTnCK0 位，选择所需的时钟源。该时钟源来自系统时钟 f_{SYS} 的分频比或内部高速时钟 f_H 或 f_{SUB} 时钟源

TM 中断

简易型 TM 拥有两个内部中断，分别是内部比较器 A 或比较器 P，当比较匹配发生时产生 TM 中断。当 TM 中断产生时，计数器清零并改变 TM 输出引脚的状态。

TM 外部引脚

每个 TM 都有两个输出引脚 CTPn 和 CTPnB。CTPnB 是 CTPn 输出的反相信号。当 TM 工作在比较匹配输出模式且比较匹配发生时，这些引脚会由 TM 控制切换到高电平或低电平或翻转。外部 CTPn 或 CTPnB 输出引脚也被 TM 用来产生 PWM 输出波形。

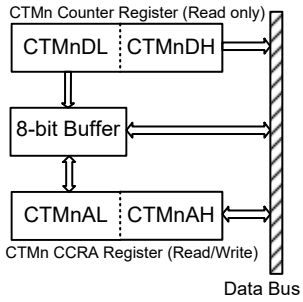
CTM0 输出	CTM1 输出	CTM2 输出
CTP0，CTP0B	CTP1，CTP1B	CTP2，CTP2B

TM 外部引脚

编程注意事项

TM 计数寄存器和捕捉 / 比较寄存器 CCRA，为 10-bit，含有低字节和高字节结构。高字节可直接访问，低字节则仅能通过一个内部 8-bit 的缓存器进行访问。值得注意的是 8-bit 缓存器的存取数据及相关低字节的读写操作仅在其相应的高字节读取操作执行时发生。

CCRA 寄存器访问方式如下图所示，读写这些成对的寄存器需通过特殊的方式。建议使用“MOV”指令按照以下步骤访问 CCRA 低字节寄存器，即 CTMnAL，否则可能导致无法预期的结果。

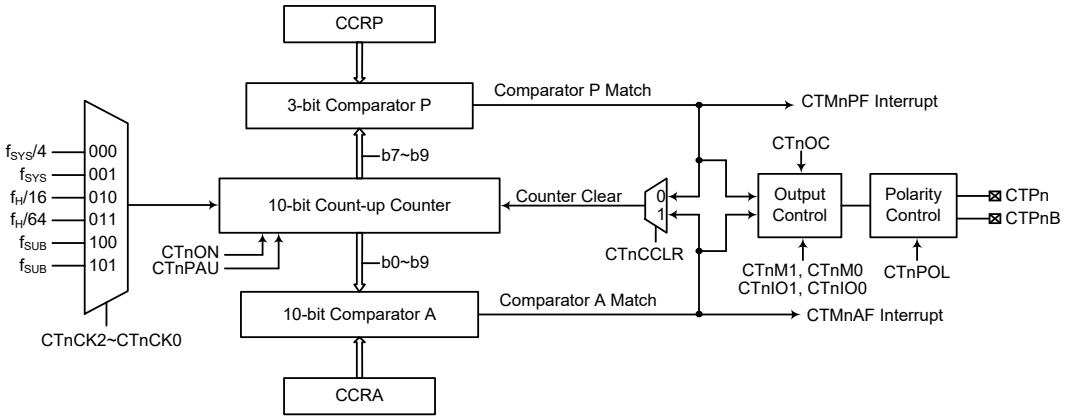


读写流程如下步骤所示：

- 写数据至 CCRA
  - ♦ 步骤 1. 写数据至低字节寄存器 CTMnAL
    - – 注意，此时数据仅写入 8-bit 缓存器。
  - ♦ 步骤 2. 写数据至高字节寄存器 CTMnAH
    - – 注意，此时数据直接写入高字节寄存器，同时锁存在 8-bit 缓存器中的数据写入低字节寄存器。
- 由计数器寄存器和 CCRA 中读取数据
  - ♦ 步骤 1. 由高字节寄存器 CTMnDH 或 CTMnAH 读取数据
    - – 注意，此时高字节寄存器中的数据直接读取，同时由低字节寄存器读取的数据锁存至 8-bit 缓存器中。
  - ♦ 步骤 2. 由低字节寄存器 CTMnDL 或 CTMnAL 读取数据
    - – 注意，此时读取 8-bit 缓存器中的数据。

简易型 TM – CTM

简易型 TM 包括 3 种工作模式，即比较匹配输出、定时 / 事件计数器和 PWM 输出模式。简易型 TM 可以驱动两个外部输出脚。



注： CTPn 引脚可作为 RGBn PWM 输入源。更多细节请参考恒流 LED 驱动器章节。

简易型 TM 方框图（n=0~2）

简易型 TM 操作

简易型 TM 核心是一个由用户选择的内部或外部时钟源驱动的 10 位向上计数器，它还包括两个内部比较器即比较器 A 和比较器 P。这两个比较器将计数器的值与 CCRA 和 CCRP 寄存器中的值进行比较。CCRP 是 3-bit 的，与计数器的高 3 位比较；而 CCRA 是 10-bit 的，与计数器的所有位比较。

通过应用程序改变 10 位计数器值的唯一方法是使 CTnON 位发生上升沿跳变清除计数器。此外，计数器溢出或比较匹配也会自动清除计数器。上述条件发生时，通常情况会产生 CTMn 中断信号。简易型 TM 可工作在不同的模式，可由包括来自输入脚的不同时钟源驱动，也可以控制输出脚。所有工作模式的设定都是通过设置相关寄存器来实现的。

简易型 TM 寄存器介绍

简易型 TM 的所有操作由一系列寄存器控制。一对只读寄存器用来存放 10 位计数器的值，两对读 / 写寄存器存放 10 位 CCRA 的值。剩下两个控制寄存器用来设置不同的操作和控制模式，以及 3 位 CCRP 的值。

寄存器名称	位							
	7	6	5	4	3	2	1	0
CTMnC0	CTnPAU	CTnCK2	CTnCK1	CTnCK0	CTnON	CTnRP2	CTnRP1	CTnRP0
CTMnC1	CTnM1	CTnM0	CTnIO1	CTnIO0	CTnOC	CTnPOL	CTnDPX	CTnCCLR
CTMnDL	D7	D6	D5	D4	D3	D2	D1	D0
CTMnDH	—	—	—	—	—	—	D9	D8
CTMnAL	D7	D6	D5	D4	D3	D2	D1	D0
CTMnAH	—	—	—	—	—	—	D9	D8

10-bit 简易型 TM 寄存器列表（n=0~2）

CTMnC0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CTnPAU	CTnCK2	CTnCK1	CTnCK0	CTnON	CTnRP2	CTnRP1	CTnRP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 **CTnPAU**：CTMn 计数器暂停控制位

0：运行

1：暂停

通过设置此位为高可使计数器暂停，清零此位恢复正常计数器操作。当处于暂停条件时，CTMn 保持上电状态并继续耗电。当此位由低到高转变时，计数器将保留其剩余值，直到此位再次改变为低电平，并从此值开始继续计数。

Bit 6~4 **CTnCK2~CTnCK0**：选择 CTMn 计数时钟位

000：$f_{SYS}/4$

001：f_{SYS}

010：$f_H/16$

011：$f_H/64$

100：f_{SUB}

101：f_{SUB}

110：未定义，不能被选择

111：未定义，不能被选择

此三位用于选择 CTMn 的时钟源。f_{SYS} 是系统时钟，f_H 和 f_{SUB} 是其它的内部时钟源，细节方面请参考振荡器章节

Bit 3 **CTnON**：CTMn 计数器 On/Off 控制位

0：Off

1：On

此位控制 CTMn 的总开关功能。设置此位为高则使能计数器使其运行，清零此位则除能 CTMn。清零此位将停止计数器并关闭 CTMn 减少耗电。当此位经由低到高转变时，内部计数器将复位清零；当此位经由高到低转换时，内部计数器将保持其剩余值，直到此位再次改变为高电平。

若 CTMn 处于比较匹配输出模式或 PWM 输出模式时，当 CTnON 位经由低到高转换时，CTMn 输出脚将复位至 CTnOC 位指定的初始值。

Bit 2~0 **CTnRP2~CTnRP0**：CTMn CCRP 3-bit 寄存器，与 CTMn 计数器 bit 9~bit 7 比较比较器 P 匹配周期

000：1024 个 CTMn 时钟周期

001：128 个 CTMn 时钟周期

010：256 个 CTMn 时钟周期

011：384 个 CTMn 时钟周期

100：512 个 CTMn 时钟周期

101：640 个 CTMn 时钟周期

110：768 个 CTMn 时钟周期

111：896 个 CTMn 时钟周期

此三位设定内部 CCRP 3-bit 寄存器的值，然后与内部计数器的高三位进行比较。如果 CTnCCLR 位设定为 0 时，比较结果为 0 并清除内部计数器。CTnCCLR 位设为低，内部计数器在比较器 P 比较匹配发生时被重置；由于 CCRP 只与计数器高三位比较，比较结果是 128 时钟周期的倍数。CCRP 被清零时，实际上会使得计数器在最大值溢出。

CTMnC1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CTnM1	CTnM0	CTnIO1	CTnIO0	CTnOC	CTnPOL	CTnDPX	CTnCCLR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 **CTnM1~CTnM0**：选择 CTMn 工作模式位

00：比较匹配输出模式

01：未定义

10：PWM 输出模式

11：定时 / 计数器模式

这两位设置 CTMn 需要的工作模式。为了确保操作可靠，CTMn 应在 CTnM1 和 CTnM0 位有任何改变前先关掉。在定时 / 计数器模式，CTMn 输出脚控制必须除能。

Bit 5~4 **CTnIO1~CTnIO0**：选择 CTPn 输出功能位

比较匹配输出模式

00：无变化

01：输出低

10：输出高

11：输出翻转

PWM 输出模式

00：PWM 输出无效状态

01：PWM 输出有效状态

10：PWM 输出

11：未定义

定时 / 计数器模式

未使用

此两位用于决定在一定条件达到时 CTMn 输出脚如何改变状态。这两位值的选择取决于 CTMn 运行在哪种模式下。

在比较匹配输出模式下，CTnIO1 和 CTnIO0 位决定当从比较器 A 比较匹配输出发生时 CTMn 输出脚如何改变状态。当从比较器 A 比较匹配输出发生时 CTMn 输出脚能设为切换高、切换低或翻转当前状态。若此两位同时为 0 时，这个输出将不会改变。CTMn 输出脚的初始值通过 CTMnC1 寄存器的 CTnOC 位设置取得。注意，由 CTnIO1 和 CTnIO0 位得到的输出电平必须与通过 CTnOC 位设置的初始值不同，否则当比较匹配发生时，CTMn 输出脚将不会发生变化。在 CTMn 输出脚改变状态后，通过 CTnON 位由低到高电平的转换复位至初始值。

在 PWM 输出模式，CTnIO1 和 CTnIO0 用于决定比较匹配条件发生时怎样改变 CTMn 输出脚的状态。PWM 输出功能通过这两位的变化进行更新。仅在 CTMn 关闭时改变 CTnIO1 和 CTnIO0 位的值是很有必要的。若在 CTMn 运行时改变 CTnIO1 和 CTnIO0 的值，PWM 输出的值是无法预料的。

Bit 3 **CTnOC**：CTMn CTPn 输出控制位

比较匹配输出模式

0：初始低

1：初始高

PWM 输出模式

0：低有效

1：高有效

这是 CTMn 输出脚输出控制位。它取决于 CTMn 此时正运行于比较匹配输出模式还是 PWM 输出模式。若 CTMn 处于定时 / 计数器模式，则其不受影响。在比较匹配输出模式时，比较匹配发生前其决定 CTMn 输出脚的逻辑电平值。在 PWM 输出模式时，其决定 PWM 信号是高有效还是低有效。

Bit 2 **CTnPOL**：CTPn 输出极性控制位
0：同相
1：反相
此位控制 CTPn 输出脚的极性。此位为高时 CTMn 输出脚反相，为低时 CTMn 输出脚同相。若 CTMn 处于定时 / 计数器模式时其不受影响。

Bit 1 **CTnDPX**：CTMn PWM 周期 / 占空比控制位
0：CCRP - 周期；CCRA - 占空比
1：CCRP - 占空比；CCRA - 周期
此位决定 CCRA 与 CCRP 寄存器哪个被用于 PWM 波形的周期和占空比控制。

Bit 0 **CTnCCLR**：选择 CTMn 计数器清零条件位
0：CTMn 比较器 P 匹配
1：CTMn 比较器 A 匹配
此位用于选择清除计数器的方法。周期型 CTMn 包括两个比较器 – 比较器 A 和比较器 P，两者都可以用作清除内部计数器。CTnCCLR 位设为高，计数器在比较器 A 比较匹配发生时被清除；此位设为低，计数器在比较器 P 比较匹配发生或计数器溢出时被清除。计数器溢出清除的方法仅在 CCRP 被清除为 0 时才能生效。CTnCCLR 位在 PWM 输出模式时未使用。

CTMnDL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**：CTMn 计数器低字节寄存器 bit 7~bit 0
CTMn 10-bit 计数器 bit 7~bit 0

CTMnDH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	D9	D8
R/W	—	—	—	—	—	—	R	R
POR	—	—	—	—	—	—	0	0

Bit 7~2 未定义，读为“0”

Bit 1~0 **D9~D8**：CTMn 计数器高字节寄存器 bit 1~bit 0
CTMn 10-bit 计数器 bit 9~bit 8

CTMnAL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**：CTMn CCRA 低字节寄存器 bit 7~bit 0
CTMn 10-bit CCRA bit 7~bit 0

CTMnAH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	D9	D8
R/W	—	—	—	—	—	—	R/W	R/W
POR	—	—	—	—	—	—	0	0

Bit 7~2　未定义，读为“0”

Bit 1~0　**D9~D8**：CTMn CCRA 高字节寄存器 bit 1~bit 0
CTMn 10-bit CCRA bit 9~bit 8

简易型 TM 工作模式

简易型 TM 有五种工作模式，即比较匹配输出模式、PWM 输出模式或定时 / 计数器模式。通过设置 CTMnC1 寄存器的 CTnM1 和 CTnM0 位选择任意模式。

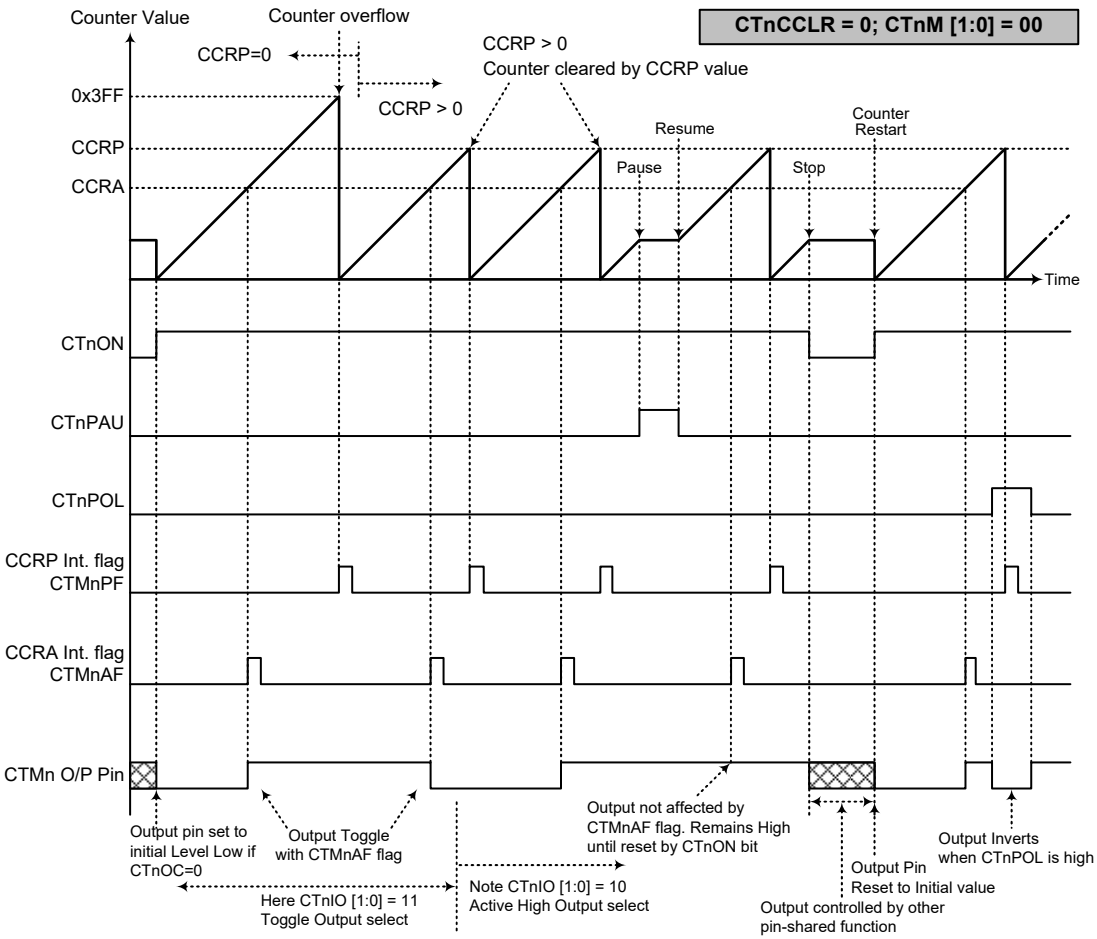
比较匹配输出模式

为使 CTMn 工作在此模式，CTMnC1 寄存器的 CTnM1 和 CTnM0 位需要设置为“00”。当工作在该模式，一旦计数器使能并开始计数，有三种方法来清零，分别是：计数器溢出，比较器 A 比较匹配发生和比较器 P 比较匹配发生。当 CTnCCLR 位为低，有两种方法清除计数器。一种是比较器 P 比较匹配发生，另一种是 CCRP 所有位设置为零并使得计数器溢出。此时，比较器 A 和比较器 P 的请求标志位 CTMnAF 和 CTMnPF 将分别置起。

如果 CTMnC1 寄存器的 CTnCCLR 位设置为高，当比较器 A 比较匹配发生时计数器被清零。此时，即使 CCRP 寄存器的值小于 CCRA 寄存器的值，仅 CTMnAF 中断请求标志产生。所以当 CTnCCLR 为高时，不会产生 CTMnPF 中断请求标志。在比较匹配输出模式中，CCRA 寄存器值不能设为“0”。

如果 CCRA 被清零，当计数达到最大值 3FFH 时，计数器溢出，而此时不产生 CTMnAF 请求标志。

正如该模式名所言，当比较匹配发生后，CTMn 输出脚状态改变。当比较器 A 比较匹配发生后 CTMnAF 中断请求标志产生时，CTMn 输出脚状态改变。比较器 P 比较匹配发生时产生的 CTMnPF 标志不影响 CTMn 输出脚。CTMn 输出脚状态改变方式由 CTMnC1 寄存器中 CTnIO1 和 CTnIO0 位决定。当比较器 A 比较匹配发生时，CTnIO1 和 CTnIO0 位决定 CTMn 输出脚输出高，低或翻转当前状态。CTMn 输出脚初始值，在 CTnON 位由低到高电平的变化后通过 CTnOC 位设置。注意，若 CTnIO1 和 CTnIO0 位同时为 0 时，引脚输出不变。

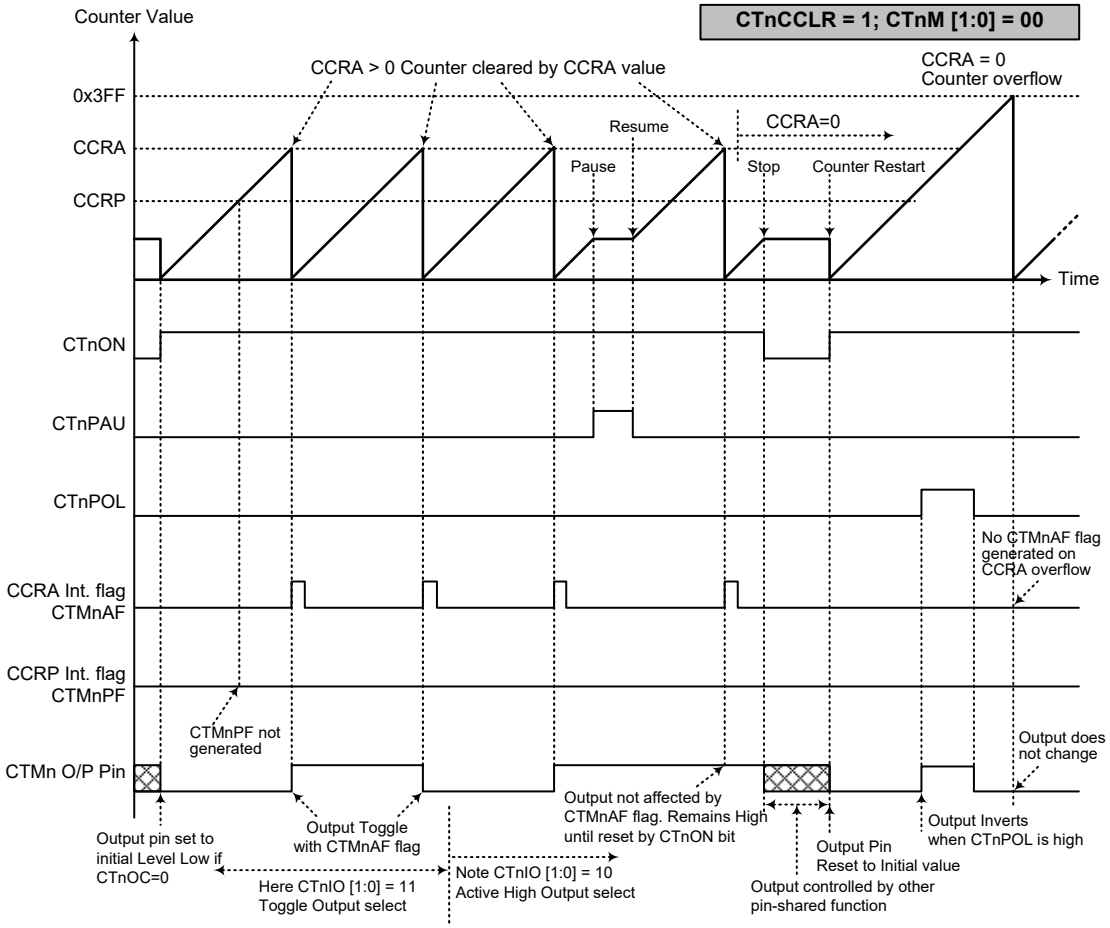


比较器匹配输出模式 – CTnCCLR=0 (n=0~2)

注：1. CTnCCLR=0，比较器 P 匹配将清除计数器

2. CTMn 输出脚仅由 CTMnAF 标志位控制

3. 在 CTnON 上升沿 CTMn 输出脚复位至初始值



比较器匹配输出模式 – CTnCCLR=1 (n=0~2)

注：1. CTnCCLR=1，比较器 A 匹配将清除计数器
2. CTMn 输出脚仅由 CTMnAF 标志位控制
3. 在 CTnON 上升沿 CTMn 输出脚复位至初始值
4. 当 CTnCCLR=1 时，不会产生 CTMnPF 标志位

定时 / 计数器模式

为使 CTMn 工作在此模式，CTMnC1 寄存器的 CTnM1 和 CTnM0 位需要设置为“11”。定时 / 计数器模式与比较输出模式操作方式相同，并产生同样的中断请求标志。不同的是，在定时 / 计数器模式下 CTMn 输出脚未使用。因此，比较匹配输出模式中的描述和时序图可以适用于此功能。

PWM 输出模式

为使 CTMn 工作在此模式，CTMnC1 寄存器的 CTnM1 和 CTnM0 位需要设置为“10”，且 CTnIO1 和 CTnIO0 位也需要设置为“10”。CTMn 的 PWM 功能在马达控制，加热控制，照明控制等方面十分有用。给 CTMn 输出脚提供一个频率固定但占空比可调的信号，将产生一个有效值等于 DC 均方根的 AC 方波。

由于 PWM 波形的周期和占空比可调，其波形的选择就较为灵活。在 PWM 输出模式中，CTnCCLR 位对 PWM 周期无影响。CCRP 和 CCRA 寄存器都用于控制 PWM 波形。一个用来清除内部计数器并控制 PWM 波形的频率，另一个用来控制占空比。哪个寄存器控制频率或占空比取决于 CTMnC1 寄存器的 CTnDPX 位。PWM 波形的周期和占空比由 CCRP 和 CCRA 寄存器的值控制。

当比较器 A 或比较器 P 比较匹配发生时，CCRA 和 CCRP 中断标志位分别产生。CTMnC1 寄存器的 CTnOC 位选择 PWM 波形的极性，CTnIO1 和 CTnIO0 位使能 PWM 输出或强制 CTMn 输出脚为高电平或低电平。CTnPOL 位用于 PWM 输出波形的极性反相控制。

- **CTM，PWM 输出模式，边沿对其模式，CTnDPX = 0**

CCRP	001b	010b	011b	100b	101b	110b	111b	000b
Period	128	256	384	512	640	768	896	1024
Duty	CCRA							

若 f_{SYS}=8MHz，CTM 时钟源选择 f_{SYS}/4，CCRP=100b，CCRA=128，

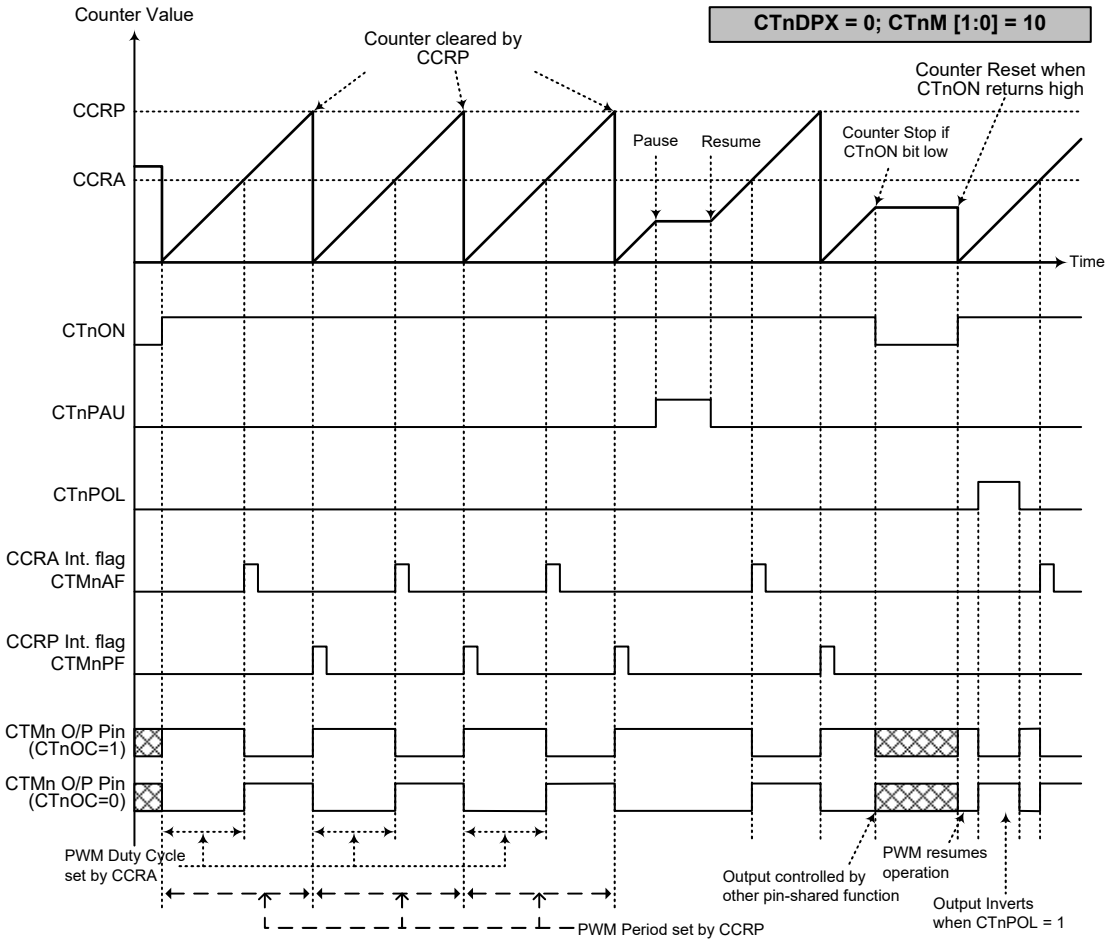
CTM PWM 输出频率 =(f_{SYS}/4) /512 = f_{SYS}/2048=3.9063kHz，duty=128 /512= 25%。

若由 CCRA 寄存器定义的 Duty 值等于或大于 Period 值，PWM 输出占空比为 100%。

- **CTM，PWM 输出模式，边沿对其模式，CTnDPX = 1**

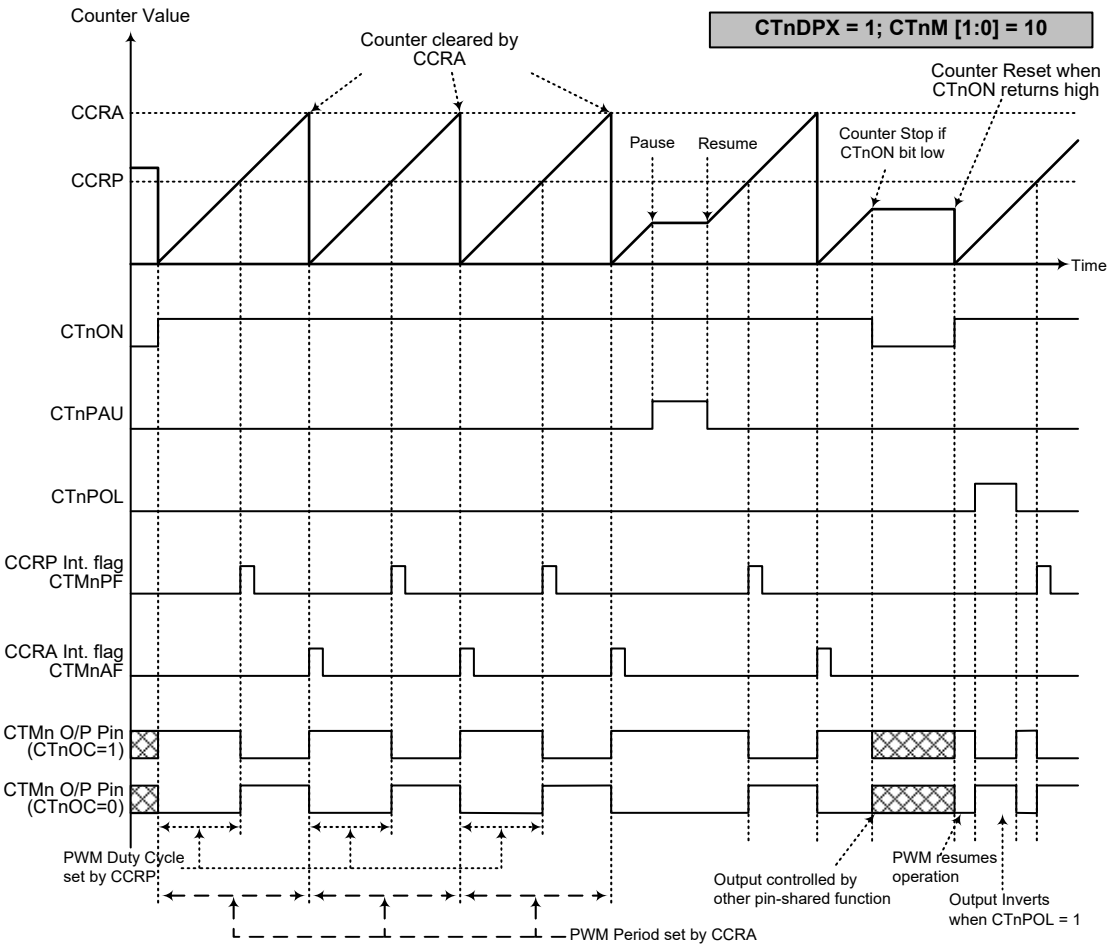
CCRP	001b	010b	011b	100b	101b	110b	111b	000b
Period	CCRA							
Duty	128	256	384	512	640	768	896	1024

PWM 的输出周期由 CCRA 寄存器的值与 CTM 的时钟共同决定，PWM 的占空比由 CCRP 寄存器的值决定。



PWM 输出模式 – CTnDPX=0 (n=0~2)

注：1. 这里的 CTnDPX = 0 – 计数器由 CCRP 清除
2. 计数器清除设置 PWM 周期
3. 即使在 CTnIO[1:0] = 00 或 01 时，内部 PWM 功能继续运行
4. CTnCCLR 位对 PWM 操作没有影响



PWM 输出模式 – CTnDPX=1 (n=0~2)

注：1. 这里的 CTnDPX = 1 – 计数器由 CCRA 清除

2. 计数器清除设置 PWM 周期

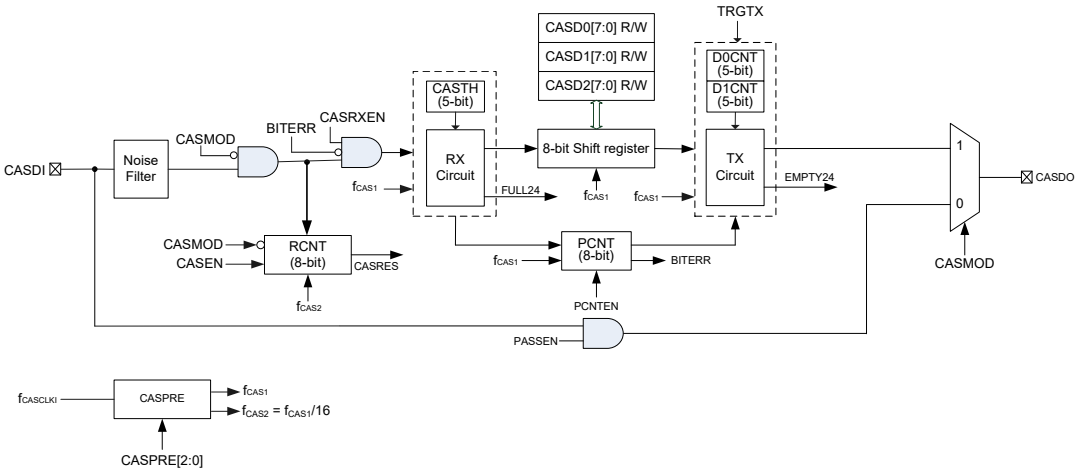
3. 即使在 CTnIO[1:0] = 00 或 01 时，内部 PWM 功能继续运行

4.CTnCCLR 位对 PWM 操作无影响

级联式收发器接口

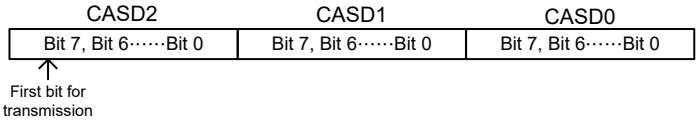
级联式收发器功能为 LED 灯带的一个重要特性。它由主控单片机产生，并通过单线级联式收发器接口传送 PWM 数据用于 RGB LED 色调。传输速率应尽可能快以确保 RGB LED 色调平缓地变化。需要注意的是，当级联式收发器为主控单片机时，TX 功能才有效。

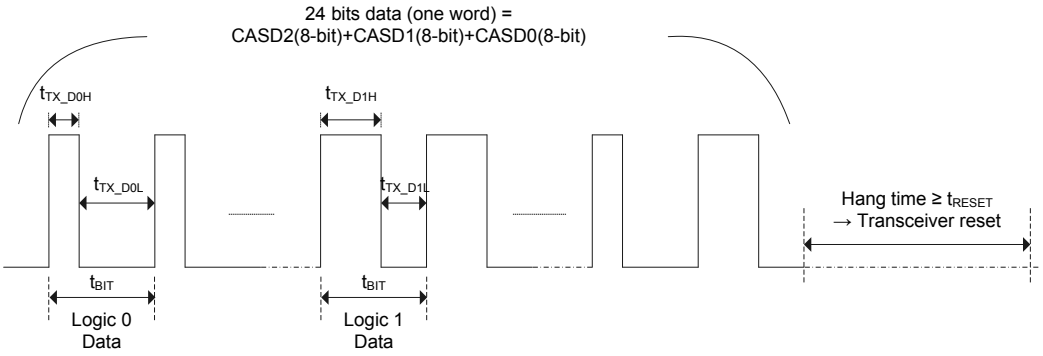
级联式收发器是单线单向的传输接口，包含一个输入 CASDI 脚和输出 CASDO 脚。当 RX 电路已经收满 24 位数据时，会绕开路径到 TX 电路，再传送到下一颗单片机，由下一颗单片机读取接下来的 24 位数据。因此这种依序截取 24 位数据的模式，形成所谓的串接模式，即级联电路。



注：级联式收发器时钟 $f_{CASCLKI}$ 来源于系统时钟 f_{SYS}。

级联式收发器接口方框图





t_{TX_D0H} = Logic 0 high level count

t_{TX_D1H} = Logic 1 high level count

t_{TX_D0L} = Logic 0 low level count = t_{BIT} - t_{TX_D0H}

t_{TX_D1L} = Logic 1 low level count = t_{BIT} - t_{TX_D1H}

t_{BIT} = Bit time period

t_{RESET} = Reset time count

单线级联式收发器接口数据序列

级联式收发器接口寄存器介绍

级联式收发器接口的所有操作由一系列寄存器控制。寄存器 CASCON 和 INTCON 用于级联式收发器各种 RX 和 TX 功能控制和中断控制。寄存器 CASPRE 用于选择级联式收发器的时钟。寄存器 CASTH 用来指定级联式收发器 RX 功能输入数据判断阈值。寄存器 D0CNT 和 D1CNT 用来控制级联式收发器 TX 功能输出数据为逻辑 0 和逻辑 1。寄存器 PCNT 和 RCNT 用来控制级联式收发器数据位时间周期和复位时间周期。

寄存器名称	位							
	7	6	5	4	3	2	1	0
CASCON	—	PCNTEN	CASRXEN	D4	TRGTX	PASSEN	CASMOD	CASEN
CASPRE	—	—	—	—	—	CASPRE2	CASPRE1	CASPRE0
CASTH	—	—	—	THS4	THS3	THS2	THS1	THS0
D0CNT	—	—	—	LCNT4	LCNT3	LCNT2	LCNT1	LCNT0
D1CNT	—	—	—	HCNT4	HCNT3	HCNT2	HCNT1	HCNT0
PCNT	PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0
RCNT	RS7	RS6	RS5	RS4	RS3	RS2	RS1	RS0
CASD0	D7	D6	D5	D4	D3	D2	D1	D0
CASD1	D7	D6	D5	D4	D3	D2	D1	D0
CASD2	D7	D6	D5	D4	D3	D2	D1	D0
INTCON	BITERR	CASRES	EMPTY24	FULL24	BERINTEN	RESINTEN	EPTINTEN	FULINTEN

级联式收发器接口寄存器列表

CASCON 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	PCNTEN	CASRXEN	D4	TRGTX	PASSEN	CASMOD	CASEN
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	1	0	0	0	0	0	0

Bit 7　未定义，读为“0”

Bit 6　**PCNTEN**：RX/TX 传输位的时间计数器控制

0：除能

1：使能

该位用来计算 RX 或 TX 传输的数据位时间周期。当 PCNTEN 位被清零时，RX 模式下的位时间计数器 PCNT 功能将被除能。这表示将不检查每个 bit 的传输时间，BITERR 位将始终为零。而在 TX 模式下，PCNT 总是使能，PCNTEN 对 PCNT 功能无影响。

当 PCNTEN 置为 1 时，位时间计数器 PCNT 功能将使能。对于 TX 功能，位时间计数器用来定义每个位传输的时间。对于 RX 功能，位时间计数器用来定义每个位传输的最长时间。若在位时间计数器溢出前，CASDI 引脚还未出现下一个上升沿，BITERR 位将置 1。

Bit 5　**CASRXEN**：级联式收发器 RX 功能使能控制

0：除能

1：使能

该位用来控制级联式收发器 RX 功能。当该位被置 1 时，级联式收发器 RX 功能将使能。当 RX 移位寄存器满标志位 FULL24 置高时，该位将自动清零。当级联式收发器复位标志位 CASRES 被置高时，该位又将自动置为 1。当该位为 0 时，级联式收发器 RX 功能将除能。然而，即使 RX 功能除能，级联式收发器复位信号仍将被解码且被识别。需要注意的是，若 CASRXEN 位被硬件置 1，PASSEN 位将自动清零，反之亦然。

Bit 4　**D4**：保留位，需固定为“0”。

Bit 3 **TRGTX**：级联式收发器 TX 输出缓存触发控制
0：无动作或数据已传输完成
1：已触发 TX 缓存输出，数据将继续传输
当 CASEN 位为 1 时，该位仅可被写入 1。当 TX 移位寄存器空标志位 EMPTY24 置高，TRGTX 位将被硬件清零。若 CASEN 位为低时，该位也将被清零。需要注意的是，若 TRGTX 位被软件置高时，无论级联式收发器工作在哪种模式下，EMPTY24 位都将清零。而在 RX 模式下设置 TRGTX 位将无效。

Bit 2 **PASSEN**：级联式收发器输入信号绕开 RX 电路的使能控制位
0：除能 – 未绕开 RX 电路
1：使能 – 绕开 RX 电路
该位用来控制级联式收发器输入信号绕开 RX 电路的功能。该位可被硬件自动置位和清零。当 CASRXEN 位被硬件置位，级联式收发器 RX 功能使能，PASSEN 位将被硬件自动清零，RX 电路将解码级联式收发器的输入信号。若 CASRXEN 位被硬件清零，级联式收发器 RX 功能将被除能，PASSEN 位将被硬件自动置位。此时，级联式收发器输入信号将绕开 RX 电路，直接连接至 CASDO 引脚。

Bit 1 **CASMOD**：级联式收发器 TX 或 RX 模式选择位
0：RX 模式
1：TX 模式
仅当 CASEN 位为低时，该位才可被修改。应先选择级联式收发器工作模式，然后再设置 CASEN 位为高。

Bit 0 **CASEN**：级联式收发器使能控制位
0：除能
1：使能
该位用来使能或除能级联式收发器功能。当该位被清零，级联式收发器功能将除能，内部控制电路，INTCON 寄存器中相应的只读位和 TRGTX 位将复位。其他寄存器内容保持不变。需要注意的是，在 RX 模式下，若 CASEN 位为低，寄存器 CASD0~CASD2 中的内容是未知的。若 CASEN 位为低，CASDI 输入路径将关闭，CASDO 输出将会浮空。

CASPRE 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	CASPRE2	CASPRE1	CASPRE0
R/W	—	—	—	—	—	R/W	R/W	R/W
POR	—	—	—	—	—	0	0	0

Bit 7~3 未定义，读为“0”

Bit 2~0 **CASPRE2~CASPRE0**：级联式收发器时钟 f_{CAS1} 分频比选择
000：$f_{CAS1} = f_{CASCLKI}$
001：$f_{CAS1} = f_{CASCLKI} / 2$
010：$f_{CAS1} = f_{CASCLKI} / 4$
011：$f_{CAS1} = f_{CASCLKI} / 8$
100：$f_{CAS1} = f_{CASCLKI} / 16$
101：$f_{CAS1} = f_{CASCLKI} / 32$
110：$f_{CAS1} = f_{CASCLKI} / 64$
111：$f_{CAS1} = f_{CASCLKI} / 128$
这些位用于级联式收发器时钟 f_{CAS1} 的分频比选择。$f_{CASCLKI}$ 时钟为级联式收发器输入时钟，来源于系统时钟 f_{SYS}。f_{CAS1} 时钟被用于驱动除了复位时间计数器以外的所有级联式收发器电路。复位时间计数器 RCNT 由时钟 f_{CAS2} 驱动，这里 $f_{CAS2} = f_{CAS1} / 16$。

CASTH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	THS4	THS3	THS2	THS1	THS0
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	—	—	—	0	0	1	1	1

Bit 7~5　未定义，读为“0”

Bit 4~0　**THS4~THS0**：级联式收发器 RX 功能数据判断阈值 t_{RX_DTHS}

$t_{RX\_DTHS} = THS[4:0] \times t_{CAS1}$，这里 $t_{CAS1} = 1/f_{CAS1}$

这些位用来指定级联式收发器 RX 功能输入数据判断阈值。当输入信号的高电平时间大于或等于 t_{RX_DTHS} 阈值时，输入数据将被认为逻辑 1。若输入信号的高电平时间小于 t_{RX_DTHS} 阈值，输入数据将被认为为逻辑 0。接收的数据将被存储在寄存器 CASD0~CASD2 中。

D0CNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LCNT4	LCNT3	LCNT2	LCNT1	LCNT0
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	—	—	—	0	0	1	0	0

Bit 7~5　未定义，读为“0”

Bit 4~0　**LCNT4~LCNT0**：级联式收发器 TX 功能输出数据逻辑 0 的高电平脉冲计数值，t_{TX_D0H}

$t_{TX\_D0H} = LCNT[4:0] \times t_{CAS1}$，这里 $t_{CAS1} = 1/f_{CAS1}$

这些位用来指定级联式收发器 TX 功能输出数据逻辑 0 的高电平脉冲计数值，由 f_{CAS1} 时钟驱动。若存储在 CASDn 寄存器的传输数据为逻辑 0，CASDO 引脚将输出一个信号，其高电平脉宽为 t_{TX_D0H}，低电平脉宽为 (t_{BIT} - t_{TX_D0H})，且位时间 t_{BIT} 由位时间计数器 PCNT 指定。LCNT 字段的最小值应根据级联式收发器输入时钟频率 $f_{CASCLKI}$ 来正确配置。

D1CNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	HCNT4	HCNT3	HCNT2	HCNT1	HCNT0
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	—	—	—	0	1	0	1	0

Bit 7~5　未定义，读为“0”

Bit 4~0　**HCNT4~HCNT0**：级联式收发器 TX 功能输出数据逻辑 1 的高电平脉冲计数值，t_{TX_D1H}

$t_{TX\_D1H} = HCNT[4:0] \times t_{CAS1}$，这里 $t_{CAS1} = 1/f_{CAS1}$

这些位用来指定级联式收发器 TX 功能输出数据逻辑 1 的高电平脉冲计数值，由 f_{CAS1} 时钟驱动。若存储在 CASDn 寄存器的传输数据为逻辑 1，CASDO 引脚将输出一个信号，其高电平脉宽为 t_{TX_D1H}，低电平脉宽为 (t_{BIT} - t_{TX_D1H})，且位时间 t_{BIT} 由位时间计数器 PCNT 指定。HCNT 字段的最小值应根据级联式收发器输入时钟频率 $f_{CASCLKI}$ 来正确配置。

PCNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	1	1	0	0	0

Bit 7~0 **PS7~PS0**：级联式收发器位时间计数器

$t_{BIT} = PS[7:0] \times t_{CAS1}$，这里 $t_{CAS1} = 1/f_{CAS1}$

该计数器用来指定级联式收发器数据位时间周期的计数值。位时间计数器由 f_{CAS1} 时钟驱动。对于 TX 功能，无论 PCNTEN 位状态如何，位时间计数器始终使能。TX 模式下的位时间可由以上公式计算出来。在 TX 模式下，若 TRGTX 置为 1，PCNT 和 D0CNT 或 D1CNT 计数器将开始计数。CASDO 引脚将输出逻辑 0 或者逻辑 1，逻辑 0 由高电平脉冲 t_{TX_D0H} 和低电平脉冲 (t_{BIT} - t_{TX_D0H}) 组成。逻辑 1 由高电平脉冲 t_{TX_D1H} 和低电平脉冲 (t_{BIT} - t_{TX_D1H}) 组成。

对于 RX 功能来说，位时间计数器除了用来指定位时间，还用来检查接收的数据是否出现错误。若通过将 PCNTEN 位置高使能 PCNT 功能，且 CASDI 脚出现一个上升沿，位时间计数器 PCNT 将开始向下计数。接收数据 bit 0~bit 22 期间，若在 PCNT 计数器向下计数到零前，CASDI 脚还未出现第二个上升沿，位错误标志位 BITERR 将自动置 1，表示位传输发生错误。对于 bit 23 的接收，若在 PCNT 计数器向下计数到零前，CASDI 脚出现一个下降沿，RX 移位寄存器满标志位 FULL24 将置 1。

这就意味着，24 位数据已经全部接收完成。此时 PASSEN 位将被硬件自动置 1。当接收数据位 23 时，在 PCNT 计数器向下计数到零前，若 CASDI 脚未出现下降沿，位错误标志位 BITERR 也将被硬件置 1，表示位传输发生错误。PASSEN 位将保持在低电平不变。

RCNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	RS7	RS6	RS5	RS4	RS3	RS2	RS1	RS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	0	0	0	0	0

Bit 7~0 **RS7~RS0**：级联式收发器复位时间计数器

$t_{RESET} = RS[7:0] \times t_{CAS2}$，这里 $t_{CAS2} = 1/f_{CAS2} = 16/f_{CAS1} = 16 \times t_{CAS1}$

该向下计数器用来指定级联式收发器 RX 功能复位时间周期的计数值。复位时间计数器由 f_{CAS2} 时钟驱动，f_{CAS2} 时钟为 f_{CAS1} 时钟的 16 除频。若先将 CASMOD 位设为 0 来选择 RX 模式，将 CASEN 位设为 1 来使能级联式收发器功能，RCNT 计数器将开始计数。若 CASDI 信号在一段特定时间保持高电平或低电平不变，RCNT 向下计数到零，级联式收发器复位标志位 CASRES 将置 1，表示级联式收发器发生复位。若 CASRES 位设为 1，BITERR、FULL24 和 PASSEN 位将清零，CASRXEN 位将置 1。

CASD0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**：数据字节 0

该寄存器用来存储 RX 模式下接收的或者 TX 模式下传输的数据字节 0。

CASD1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**：数据字节 1

该寄存器用来存储 RX 模式下接收的或者 TX 模式下传输的数据字节 1。

CASD2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**：数据字节 2

该寄存器用来存储 RX 模式下接收的或者 TX 模式下传输的数据字节 2。

INTCON 寄存器

Bit	7	6	5	4	3	2	1	0
Name	BITERR	CASRES	EMPTY24	FULL24	BERINTEN	RESINTEN	EPTINTEN	FULINTEN
R/W	R	R	R	R	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 **BITERR**：RX 接收的数据位溢出标志位

0：未发生位溢出错误

1：发生位溢出错误

该位用来表明接收的位是否溢出。当接收的数据位时间大于 PCNT 寄存器指定的 t_{BIT} 时间，BITERR 位将被硬件置 1 表示接收的位发生溢出。若发生位溢出错误，直到 CASRES 位被置高，即级联式收发器发生复位，RX 输入数据才会被解码。若 CASRES 位被置高，BITERR 位将被硬件自动清零。

Bit 6 **CASRES**：级联式收发器复位标志位

0：未发生复位

1：发生复位

该位用来表明级联式收发器是否发生复位。若 CASDI 信号保持高电平或低电平的时间超过 t_{RESET}，则 CASRES 位将被硬件置 1，这里的 t_{RESET} 由 RCNT 寄存器设置，表明 RX 功能发生复位。若 CASRES 位被置高，BITERR、FULL24 和 PASSEN 位将被自动清零，而 CASRXEN 位被硬件置高。若 CASDI 引脚出现一个上升沿，CASRES 位将清零。

Bit 5 **EMPTY24**：级联式收发器 24-bit TX 移位寄存器空标志位

0：TX 移位寄存器不为空

1：TX 移位寄存器为空

该位用来表明级联式收发器 24-bit TX 移位寄存器是否为空。若 TX 电路完成 24 位数据传输，24-bit 移位寄存器将为空，EMPTY24 位将置 1。若 EMPTY24 位被置高，TRGTX 位将被硬件自动清零。当 TRGTX 位被置高时，数据将继续传输，EMPTY24 位将自动清零。

Bit 4 **FULL24**：级联式收发器 24-bit RX 移位寄存器满标志位

0：RX 移位寄存器未满

1：RX 移位寄存器已满

该位用来表明级联式收发器 24-bit RX 移位寄存器是否已满。若 RX 电路接满 24 位数据，24-bit 移位寄存器将会被填满，FULL24 位将置 1。若 FULL24 位被置高，PASSEN 位将置 1，CASRXEN 位将被硬件清零。这使 CASDI 信号绕开级联式收发器，直接输出至 CASDO 脚。若 CASRES 位被置高，FULL24 位将自动清零。

Bit 3 **BERINTEN**：RX 接收的数据位错误中断控制
0：除能
1：使能
该位用来控制 RX 接收的数据位错误中断功能。当 BERINTEN 位被置高时，若 BITERR 位也被置高，级联式收发器将产生一个位错误中断信号来通知单片机。

Bit 2 **RESINTEN**：级联式收发器复位中断控制
0：除能
1：使能
该位用来控制级联式收发器复位中断功能。当 RESINTEN 位被置高时，若 CASRES 位也被置高，级联式收发器将会产生一个复位中断信号来通知单片机。

Bit 1 **EPTINTEN**：级联式收发器 TX 移位寄存器空中断控制
0：除能
1：使能
该位用来控制级联式收发器 TX 移位寄存器空中断功能。当 EPTINTEN 位被置高时，若 EMPTY24 位也被置高，级联式收发器将会产生一个 TX 移位寄存器空中断信号来通知单片机。

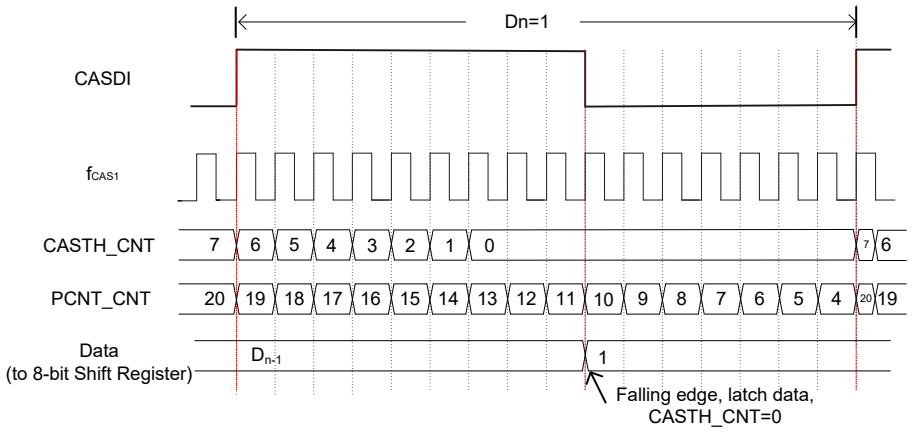
Bit 0 **FULINTEN**：级联式收发器 RX 移位寄存器满中断控制
0：除能
1：使能
该位用来控制级联式收发器 RX 移位寄存器满中断功能。当 FULINTEN 位被置高时，若 FULL24 位也被置高，级联式收发器将会产生一个 RX 移位寄存器满中断信号来通知单片机。

级联式收发器 RX 功能操作

级联式收发器 RX 功能用来解码 CASDI 脚的脉冲是逻辑高还是逻辑低。

级联式收发器功能逻辑高

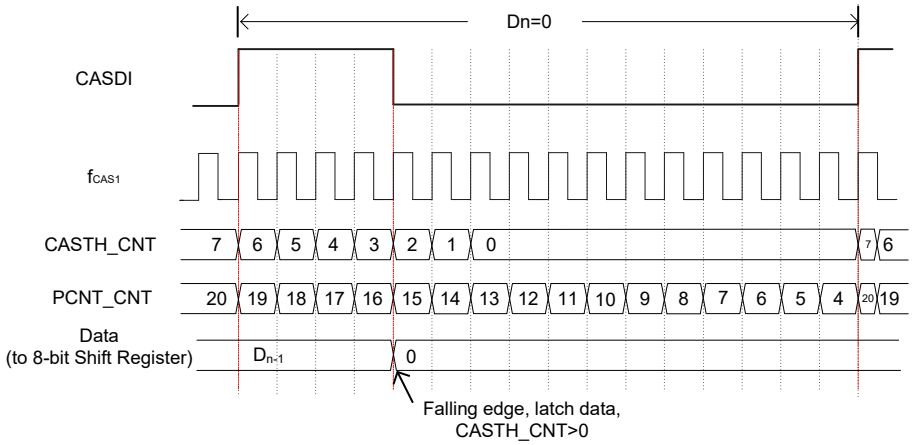
若级联式收发器时钟高电平计数值大于或等于 RX 功能数据判断阈值 CASTH，这意味着解码为逻辑高。



在 RX 模式下，解码为逻辑 1 (假设 CASTH= 7)

级联式收发器功能逻辑低

若级联式收发器时钟高电平计数值小于 RX 功能数据判断阈值 CASTH，这意味着解码为逻辑低。



在 RX 模式下，解码为逻辑 0 (假设 CASTH= 7)

级联式收发器 RX 步骤

级联式收发器功能开始执行前，若 CASDI 脚的信号在特定的时间周期内保持高电平或低电平不变，RCNT 计数器向下计数到零，这时级联式收发器复位标志位 CASRES 将置 1，表示级联式收发器发生复位。

若 CASRES 位被置高，多路复用器直接与 CASDO 脚相连的 bypass 路径将会被除能，RX 电路仅解码 CASDI 脚的信号。

步骤 1：若主控单片机复位级联式收发器单线总线，FULL24、BITERR 和 PASSEN 位将清零，CASRES 和 CASRXEN 位将置 1，RX 电路仅为 CASDI 脚的信号准备。

步骤 2：若 CASDI 引脚上出现上升沿，RX 电路将开始计数高电平个数。若在 CASDI 引脚出现下降沿前，高电平计数值小于阈值 CASTH，将解码为逻辑低。若在 CASDI 引脚出现下降沿前，高电平计数值大于或等于阈值 CASTH，将解码为逻辑高。

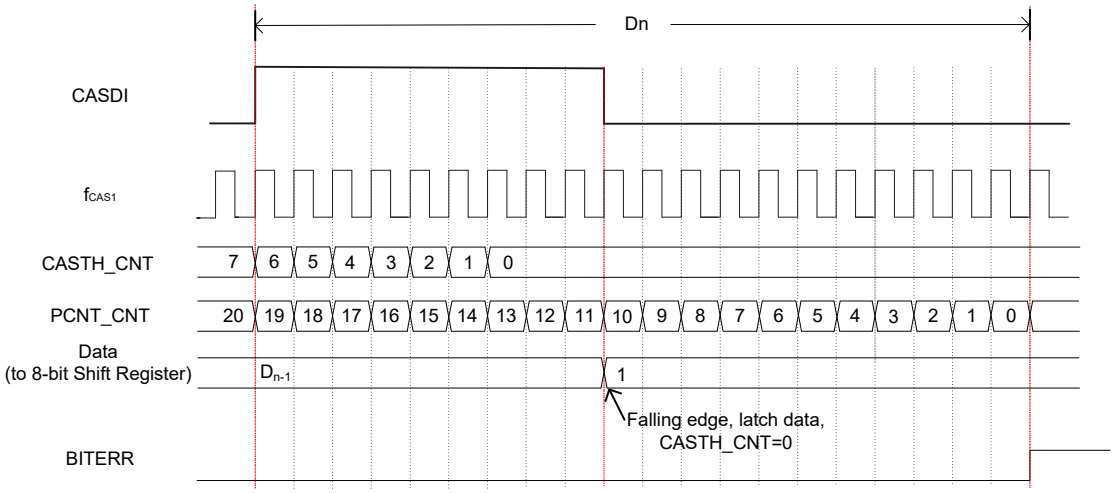
步骤 3：若 24 位移位寄存器已满，FULL24 位将置 1，总线将自动绕开 RX 电路。因此若 PASSEN 位置为 1，且 CASRXEN 位清零，系统将产生一个 CASINT 中断。

步骤 4：CASDI 引脚的输入信号将通过多路复用器传送到 CASDO 引脚，然后传送到下一颗单片机。

步骤 5：当主控单片机再次复位级联总线，将再次从步骤 1 重新开始。

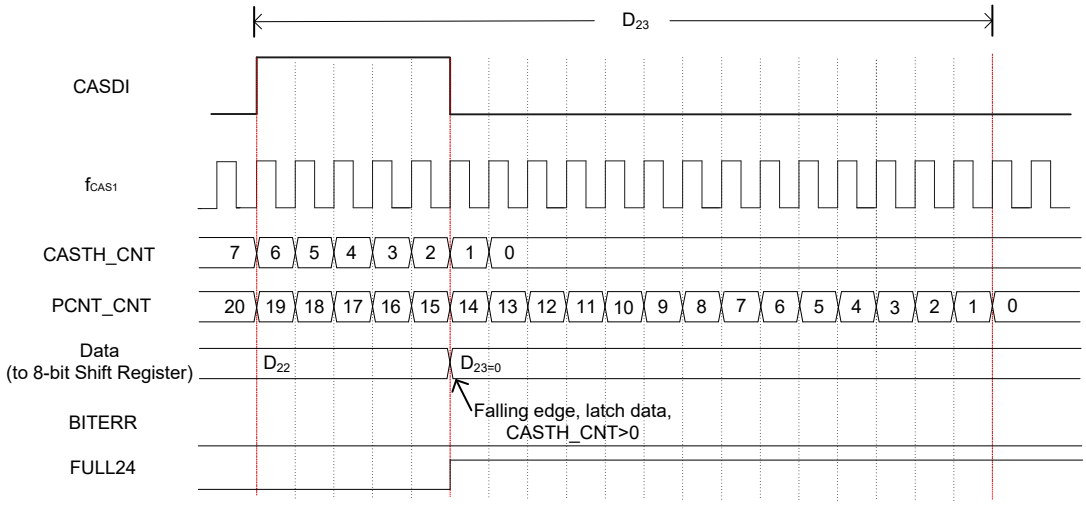
步骤 6：当 CASDI 引脚出现第一个上升沿时，CASRES 位将自动清零。

注：级联式收发器时钟 f_{CAS1} 可因不同的波特率调整。



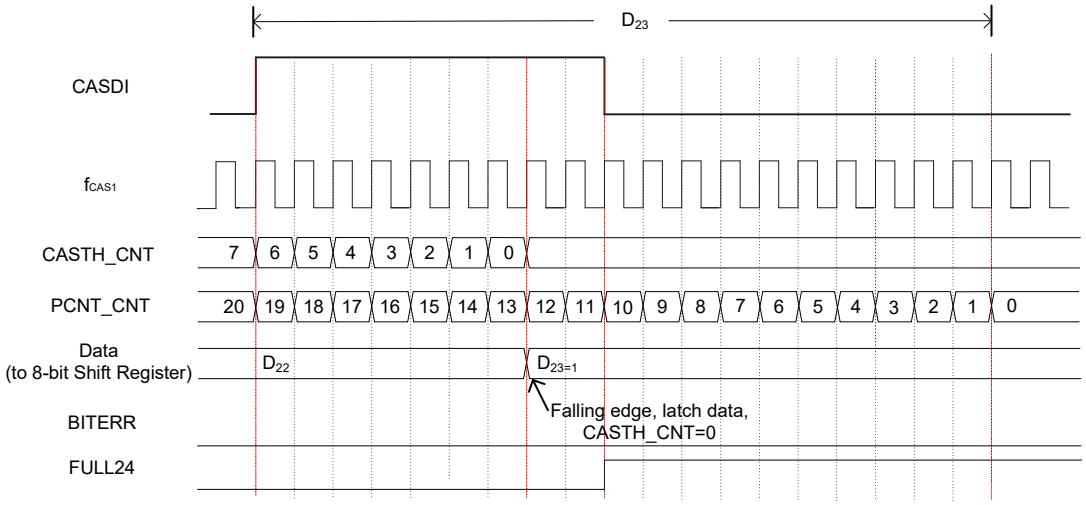
在 RX 模式下 bit 0~bit 22 数据位发生错误

注：接收数据 bit 0~bit 22 期间，若在 PCNT 计数器向下计数到零前，CASDI 脚还未出现第二个上升沿，位错误标志位 BITERR 将自动置为 1，表示发生位传输错误。



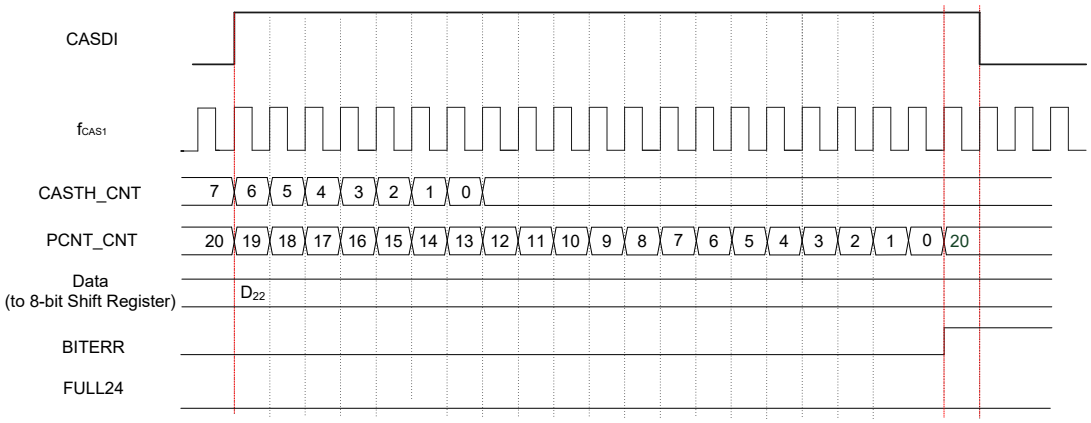
在 RX 模式下，bit 23 数据解码为逻辑 0

注：对于数据 bit 23 的接收，如果在 PCNT 计数器向下计数到零前，CASDI 脚出现一个下降沿，RX 移位寄存器满标志位 FULL24 将置 1。在 CASTH 计数器向下计数为 0 前，当 CASDI 引脚出现一个下降沿时，数据逻辑低将被读出。



在 RX 模式下 bit 23 数据为逻辑 1

注：对于数据 bit 23 的接收，若 PCNT 计数器向下计数到零前，CASDI 脚出现一个下降沿，RX 移位寄存器满标志位 FULL24 将置 1。当 CASTH 计数器向下计数为 0 时，数据逻辑 1 将存储在 8-bit 移位寄存器，且直到 CASDI 引脚出现下降沿时才被读出。



注：这是一个异常情况，若在接收第 24 位数据位期间，CASDI 引脚信号维持高电平不变，直到 PCNT 计数器溢出，CASDI 引脚都未出现下降沿，这表示 24 位数据没有接收完全，BITERR 位将置高，FULL24 位将清零，而 PASSEN 位不变。

级联式收发器 TX 步骤

步骤 1：首先将 CASEN 位清零，除能 RX 和 TX 功能。

步骤 2：将 CASMOD 位置高，将 PASSEN 位清零，使能 TX 功能，通过路径传给 TX 电路，然后将 CASEN 位置高。

步骤 3：对寄存器 CASD0、CASD1 和 CASD2 写值。

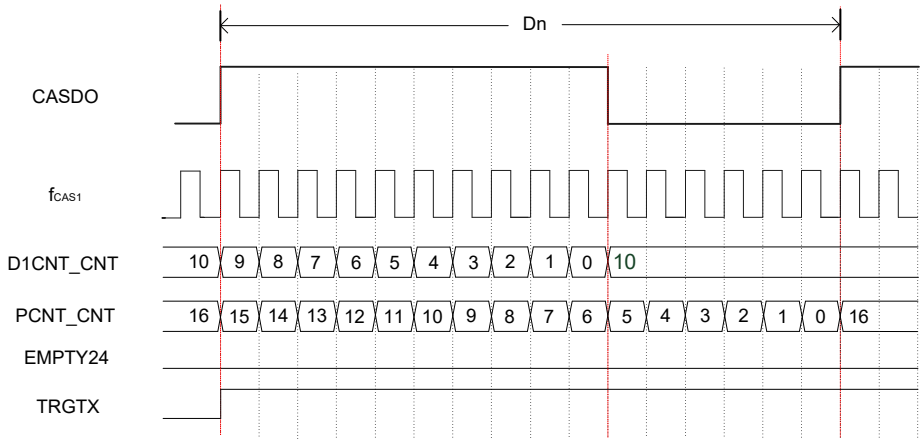
步骤 4：将 TRGTX 位置高来开始转移寄存器 CASD0、CASD1 和 CASD2 的数据。

步骤 5：若发生 CASINT 中断，再次将寄存器 CASD0、CASD1 和 CASD2 填满值。重复步骤 4。

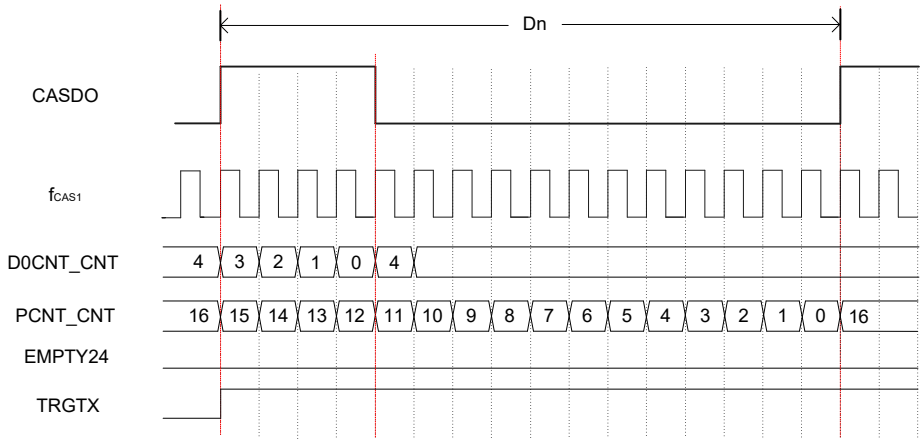
步骤 6：若 N×24 位数据被移出时，TX 电路将发送 RESET 命令给从机，此时 RX 电路将通过软件把 CASRES 位置 1。

步骤 7：重复步骤 3，再次传送新的数据 (N×24bits)。

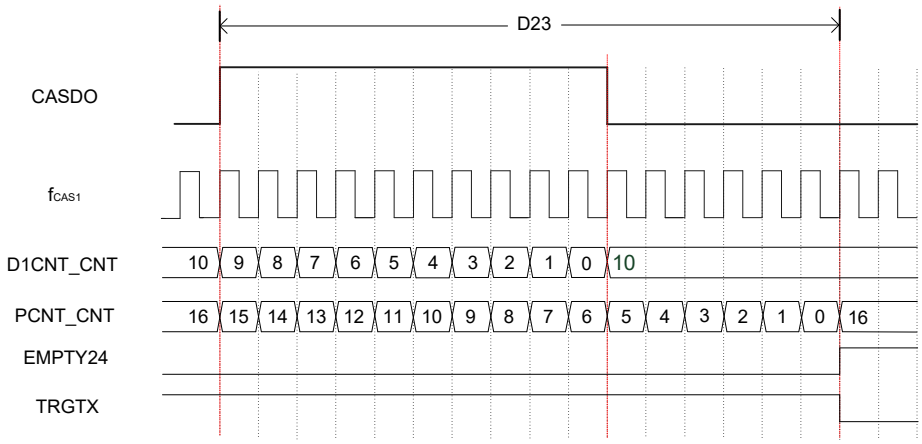
注：级联式收发器时钟 f_{CAS1} 可因不同的波特率调整。



在 TX 模式下数据为逻辑 1(n=0~22，D1CNT= 10)



在 TX 模式下数据为逻辑 0 (n=0~22，D0CNT= 4)



在 TX 模式下数据为 1 (n=23，D1CNT= 10)

注：当 TX 移位寄存器空标志位 EMPTY24 置高时，TRGTX 位将由硬件清为零。

恒流 LED 驱动器

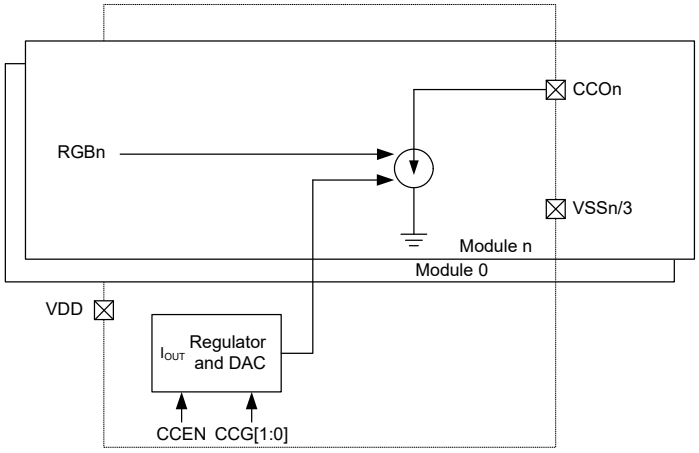
有一个准确的恒流驱动器专为 LED 显示器应用设计的。该设备提供稳定的恒流输出 n 通道来驱动 LED。

输出的恒流由增益选择位 CCG [1:0] 和 RGBn PWM 输入确定。不同单片机之间的电流变化小于 6%，通道间电流变化小于 3%。饱和区的特征曲线是平坦的。输出电流保持不变，即使是正向电压值。

恒流可以用以下公式计算：

$$I_{CCOn} = 5mA \times Gain$$

如果 CCEN 位置高和 RGBn 信号是逻辑低电平，CCOn 由恒流驱动。否则，CCOn 处于浮空状态。



恒流 LED 驱动器方框图

注：1. n=0~2
2. 模块 n 表示模块 0~ 模块 2
3. VSSn/3 表示每 3 个 CCO 输出共用一个 VSS。
4. RGBn 来源于简易型 TM 输出 CTPn。

CCS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CCEN	D6	D5	D4	—	—	CCG1	CCG0
R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W
POR	0	0	1	0	—	—	0	1

Bit 7 **CCEN**：恒流功能使能 / 除能控制位
0：除能
1：使能
如果 CCEN 位置高和 RGBn 信号是逻辑低电平，CCOn 由恒流驱动。否则，CCOn 处于浮空状态。

Bit 6~4 **D6~D4**：保留位，这些位不可用且必须固定为“010”。

Bit 3~2 未定义，读为“0”

Bit 1~0 **CCG1~CCG0**：恒流增益选择
00：I_{CCOn}=5mA
01：I_{CCOn}=14mA
10：I_{CCOn}=32mA
11：I_{CCOn}=53mA

中断

中断是单片机一个重要功能。当外部事件或内部功能如定时器模块有效，并且产生中断时，系统会暂时中止当前的程序而转到执行相对应的中断服务程序。此单片机仅提供内部中断功能。内部中断由各种内部功能，如定时器模块、时基和级联式收发器接口等产生。

中断寄存器

中断控制基本上是在一定单片机条件发生时设置请求标志位，应用程序中中断使能位的设置是通过位于专用数据存储器中的一系列寄存器控制的，总的分为两类。第一类是 INTC0~INTC1 寄存器，用于设置基本的中断；第二类是 MFI0~MFI2 寄存器，用于设置多功能中断。

寄存器中含有中断控制位和中断请求标志位。中断控制位用于使能或除能各种中断，中断请求标志位用于存放当前中断请求的状态。它们都按照特定的模式命名，前面表示中断类型的缩写，紧接着的字母“E”代表使能 / 除能位，“F”代表请求标志位。

功能	使能位	请求标志	注释
总中断	EMI	—	—
多功能	MFnE	MFnF	n=0~2
时基	TBE	TBF	—
级联式收发器接口	CASINTE	CASINTF	—
CTM	CTMnPE	CTMnPF	n=0~2
	CTMnAE	CTMnAF	

中断寄存器位命名模式

寄存器名称	位							
	7	6	5	4	3	2	1	0
INTC0	—	MF1F	MF0F	TBF	MF1E	MF0E	TBE	EMI
INTC1	—	—	CASINTF	MF2F	—	—	CASINTE	MF2E
MFI0	—	—	CTM0AF	CTM0PF	—	—	CTM0AE	CTM0PE
MFI1	—	—	CTM1AF	CTM1PF	—	—	CTM1AE	CTM1PE
MFI2	—	—	CTM2AF	CTM2PF	—	—	CTM2AE	CTM2PE

中断寄存器列表

INTC0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	MF1F	MF0F	TBF	MF1E	MF0E	TBE	EMI
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	0	0	0	0	0	0	0

Bit 7　未定义，读为“0”

Bit 6　**MF1F**：多功能中断 1 请求标志位
0：无请求
1：中断请求

Bit 5　**MF0F**：多功能中断 0 请求标志位
0：无请求
1：中断请求

Bit 4　**TBF**：时基中断请求标志位
0：无请求
1：中断请求

Bit 3　**MF1E**：多功能中断 1 控制位
0：除能
1：使能

Bit 2　**MF0E**：多功能中断 0 控制位
0：除能
1：使能

Bit 1　**TBE**：时基中断控制位
0：除能
1：使能

Bit 0　**EMI**：总中断控制位
0：除能
1：使能

INTC1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	CASINTF	MF2F	—	—	CASINTE	MF2E
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	—	—	0	0	—	—	0	0

Bit 7~6 未定义，读为“0”

Bit 5 **CASINTF**：级联式收发器中断请求标志位
0：无请求
1：中断请求

Bit 4 **MF2F**：多功能中断 2 请求标志位
0：无请求
1：中断请求

Bit 3~2 未定义，读为“0”

Bit 1 **CASINTE**：级联式收发器中断控制位
0：除能
1：使能

Bit 0 **MF2E**：多功能中断 2 控制位
0：除能
1：使能

MFI0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	CTM0AF	CTM0PF	—	—	CTM0AE	CTM0PE
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	—	—	0	0	—	—	0	0

Bit 7~6 未定义，读为“0”

Bit 5 **CTM0AF**：CTM0 比较器 A 匹配中断请求标志位
0：无请求
1：中断请求

Bit 4 **CTM0PF**：CTM0 比较器 P 匹配中断请求标志位
0：无请求
1：中断请求

Bit 3~2 未定义，读为“0”

Bit 1 **CTM0AE**：CTM0 比较器 A 匹配中断控制位
0：除能
1：使能

Bit 0 **CTM0PE**：CTM0 比较器 P 匹配中断控制位
0：除能
1：使能

MFI1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	CTM1AF	CTM1PF	—	—	CTM1AE	CTM1PE
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	—	—	0	0	—	—	0	0

Bit 7~6 未定义，读为“0”

Bit 5 **CTM1AF**：CTM1 比较器 A 匹配中断请求标志位
0：无请求
1：中断请求

Bit 4 **CTM1PF**：CTM1 比较器 P 匹配中断请求标志位
0：无请求
1：中断请求

Bit 3~2 未定义，读为“0”

Bit 1 **CTM1AE**：CTM1 比较器 A 匹配中断控制位
0：除能
1：使能

Bit 0 **CTM1PE**：CTM1 比较器 P 匹配中断控制位
0：除能
1：使能

MFI2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	CTM2AF	CTM2PF	—	—	CTM2AE	CTM2PE
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	—	—	0	0	—	—	0	0

Bit 7~6 未定义，读为“0”

Bit 5 **CTM2AF**：CTM2 比较器 A 匹配中断请求标志位
0：无请求
1：中断请求

Bit 4 **CTM2PF**：CTM2 比较器 P 匹配中断请求标志位
0：无请求
1：中断请求

Bit 3~2 未定义，读为“0”

Bit 1 **CTM2AE**：CTM2 比较器 A 匹配中断控制位
0：除能
1：使能

Bit 0 **CTM2PE**：CTM2 比较器 P 匹配中断控制位
0：除能
1：使能

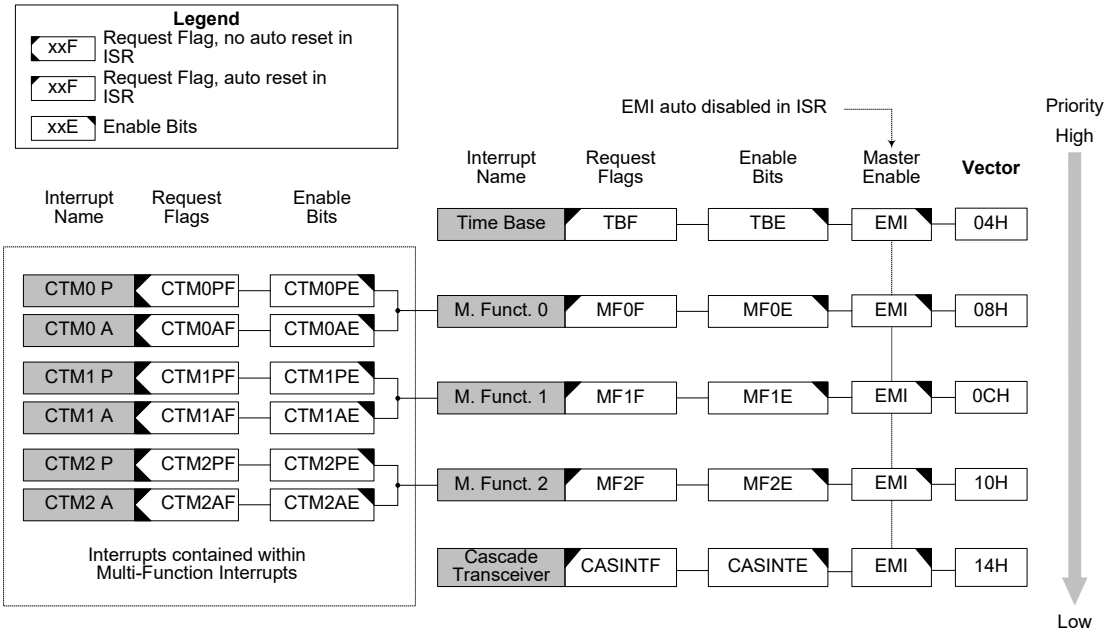
中断操作

若中断事件条件产生，如一个 TM 比较器 P、比较器 A 匹配等等，相关中断请求标志将置起。中断标志产生后程序是否会跳转至相关中断向量执行是由中断使能位的条件决定的。若使能位为“1”，程序将跳至相关中断向量中执行；若使能位为“0”，即使中断请求标志置起中断也不会发生，程序也不会跳转至相关中断向量执行。若总中断使能位为“0”，所有中断都将除能。

当中断发生时，下条指令的地址将被压入堆栈。相应的中断向量地址加载至 PC 中。系统将从此向量取下条指令。中断向量处通常为“JMP”指令，以跳转到相应的中断服务程序。中断服务程序必须以“RETI”指令返回至主程序，以继续执行原来的程序。

各个中断使能位以及相应的请求标志位，以优先级的次序显示在下图。一些中断源有自己的向量，但是有些中断却共用多功能中断向量。一旦中断子程序被响应，系统将自动清除 EMI 位，所有其它的中断将被屏蔽，这个方式可以防止任何进一步的中断嵌套。其它中断请求可能发生在此期间，虽然中断不会立即响应，但是中断请求标志位会被记录。

如果某个中断服务子程序正在执行时，有另一个中断要求立即响应，那么 EMI 位应在程序进入中断子程序后置位，以允许此中断嵌套。如果堆栈已满，即使此中断使能，中断请求也不会被响应，直到 SP 减少为止。如果要求立刻动作，则堆栈必须避免成为储满状态。请求同时发生时，执行优先级如下流程图所示。所有被置起的中断请求标志都可把单片机从休眠或空闲模式中唤醒，若要防止唤醒动作发生，在单片机进入休眠或空闲模式前应将相应的标志置起。

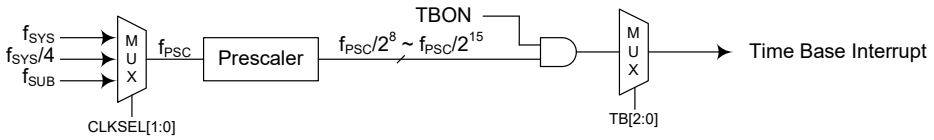


中断结构

时基中断

时基中断提供一个固定周期的中断信号，由各自的定时器功能产生溢出信号控制。当各自的中断请求标志 TBF 被置位时，中断请求发生。当总中断使能位 EMI 和时基使能位 TBE 被置位，允许程序跳转到各自的中断向量地址。当中断使能，堆栈未满且时基溢出时，将调用它们各自的中断向量子程序。当响应中断服务子程序时，相应的中断请求标志位 TBF 会自动复位且 EMI 位会被清零以除能其它中断。

时基中断的目的是提供一个固定周期的中断信号。其时钟源 f_{PSC} 来自内部时钟源 f_{SYS}、$f_{SYS}/4$ 或 f_{SUB}。f_{PSC} 输入时钟首先经过分频器，分频率由程序设置 TBC 寄存器相关位获取合适的分频值以提供更长的时基中断周期。相应的控制时基中断周期的时钟源可通过 PSCR 寄存器的 CLKSEL1 和 CLKSEL0 位选择。



时基中断

PSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CLKSEL1	CLKSEL0
R/W	—	—	—	—	—	—	R/W	R/W
POR	—	—	—	—	—	—	0	0

Bit 7~2　未定义，读为“0”

Bit 1~0　**CLKSEL1~CLKSEL0**：分频器时钟源选择

00：f_{SYS}

01：$f_{SYS}/4$

1x：f_{SUB}

TBC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TBON	—	—	—	—	TB2	TB1	TB0
R/W	R/W	—	—	—	—	R/W	R/W	R/W
POR	0	—	—	—	—	0	0	0

Bit 7　**TBON**：时基使能 / 除能控制位

0：除能

1：使能

Bit 6~3　未定义，读为“0”

Bit 2~0　**TB2~TB0**：选择时基溢出周期位

000：$2^8/f_{PSC}$

001：$2^9/f_{PSC}$

010：$2^{10}/f_{PSC}$

011：$2^{11}/f_{PSC}$

100：$2^{12}/f_{PSC}$

101：$2^{13}/f_{PSC}$

110：$2^{14}/f_{PSC}$

111：$2^{15}/f_{PSC}$

级联式收发器接口中断

当级联式收发器 RX 接收的数据格式发生错误，级联电路复位，级联式收发器 TX 移位寄存器为空，或级联式收发器 RX 移位寄存器已满，级联式收发器接口中断请求标志 CASINTF 被置位，级联式收发器接口中断请求产生。若要程序跳转到相应中断向量地址，总中断控制位 EMI 和级联式收发器接口中断使能位 CASINTE 需先被置位。当中断使能，堆栈未满且上述任一情况发生时，可跳转至级联式收发器接口中断向量子程序中执行。当级联式收发器接口中断响应，EMI 将被自动清零以除能其他中断，CASINTF 请求标志也可自动清除。

多功能中断

此单片机中有三个多功能中断，与其它中断不同，它没有独立源，但由其它现有的中断源构成，即 TM 中断。

当多功能中断中任何一种中断请求标志 MFnF 被置位，多功能中断请求产生。当中断使能，堆栈未满，包括在多功能中断中的任意一个中断发生时，将调用多功能中断向量中的一个子程序。当响应中断服务子程序时，相关的多功能请求标志位会自动复位且 EMI 位会自动清零以除能其它中断。

但必须注意的是，在中断响应时，虽然多功能中断标志会自动复位，但多功能中断源的请求标志位，即 TM 中断的请求标志位不会自动复位，必须由应用程序清零。

TM 中断

简易型 TM 有两个中断，都属于多功能中断。每个简易型 TM 都有两个中断请求标志位 CTMnPF 和 CTMnAF 及两个使能位 CTMnPE 和 CTMnAE。当 TM 比较器 P、A 匹配情况发生时，相应 TM 中断请求标志被置位，TM 中断请求产生。

若要程序跳转到相应中断向量地址，总中断控制位 EMI、相应 TM 中断使能位和相关多功能中断使能位 MFnE 需先被置位。当中断使能，堆栈未满且 TM 比较器匹配情况发生时，可跳转至相关多功能中断向量子程序中执行。当 TM 中断响应，EMI 将被自动清零以除能其它中断，相关 MFnF 标志也可自动清除，但 TM 中断请求标志需在应用程序中手动清除。

中断唤醒功能

每个中断都具有将处于休眠或空闲模式的单片机唤醒的能力。当中断请求标志由低到高转换时唤醒动作产生，其与中断是否使能无关。因此，尽管单片机处于休眠或空闲模式且系统振荡器停止工作，如有时基溢出可能导致其相应的中断标志被置位，由此产生中断，因此必须注意避免伪唤醒情况的发生。若中断唤醒功能被除能，单片机进入休眠或空闲模式前相应中断请求标志应被置起。中断唤醒功能不受中断使能位的影响。

编程注意事项

通过禁止相关中断使能位，可以屏蔽中断请求，然而，一旦中断请求标志位被设定，它们会被保留在中断控制寄存器内，直到相应的中断服务子程序执行或请求标志位被软件指令清除。

多功能中断中所含中断相应程序执行时，多功能中断请求标志 MFnF 可以自动清零，但各自的请求标志需在应用程序中手动清除。

建议在中断服务子程序中不要使用“CALL 子程序”指令。中断通常发生在不可预料的情况或是需要立刻执行的某些应用。假如只剩下一层堆栈且没有控制好中断，当“CALL 子程序”在中断服务子程序中执行时，将破坏原来的控制

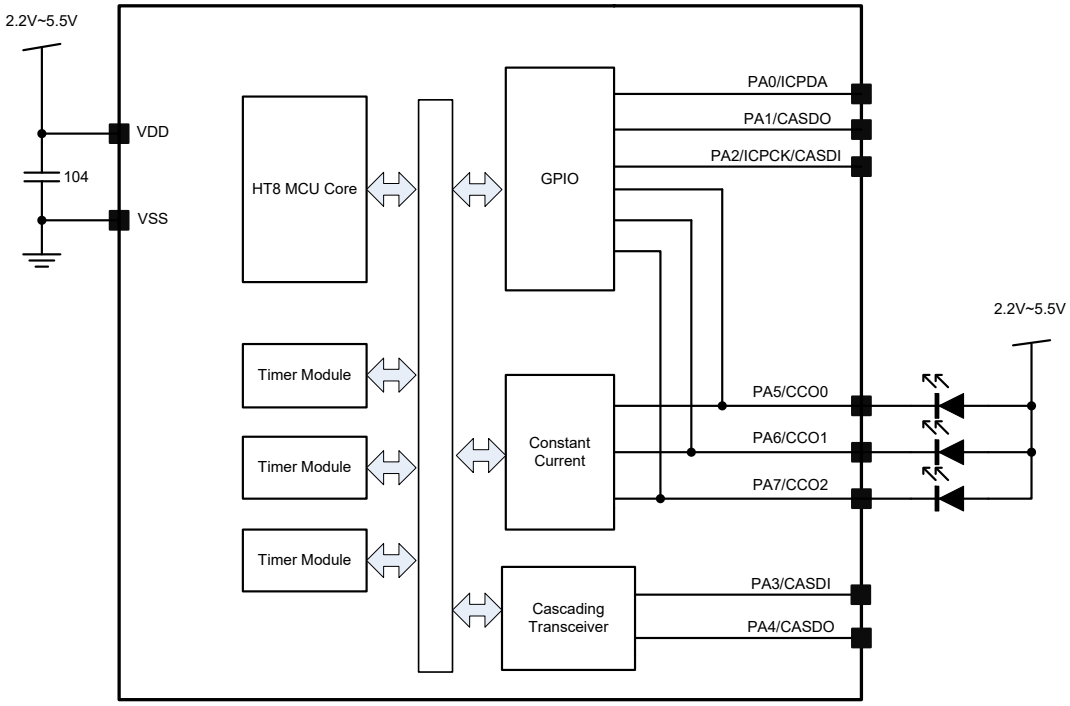
序列。

所有中断在休眠或空闲模式下都具有唤醒功能，当中断请求标志发生由低到高的转变时都可产生唤醒功能。若要避免相应中断产生唤醒动作，在单片机进入休眠或空闲模式前需先将相应请求标志置为高。

当进入中断服务程序，系统仅将程序计数器的内容压入堆栈，如果中断服务程序会改变状态寄存器或其它的寄存器的内容而破坏控制流程，应事先将这些数据保存起来。

若从中断子程序中返回可执行 RET 或 RETI 指令。除了能返回至主程序外，RETI 指令还能自动设置 EMI 位为高，允许进一步中断。RET 指令只能返回至主程序，清除 EMI 位，除能进一步中断。

应用电路



指令集

简介

任何单片机成功运作的核心在于它的指令集，此指令集为一组程序指令码，用来指导单片机如何去执行指定的工作。在 HOLTEK 单片机中，提供了丰富且灵活的指令，共超过六十条，程序设计者可以事半功倍地实现他们的应用。

为了更加容易理解各种各样的指令码，接下来按功能分组介绍它们。

指令周期

大部分的操作均只需要一个指令周期来执行。分支、调用或查表则需要两个指令周期。一个指令周期相当于四个系统时钟周期，因此如果在 8MHz 的系统时钟振荡器下，大部分的操作将在 0.5μs 中执行完成，而分支或调用操作则将在 1μs 中执行完成。虽然需要两个指令周期的指令通常指的是 JMP、CALL、RET、RETI 和查表指令，但如果牵涉到程序计数器低字节寄存器 PCL 也将多花费一个周期去加以执行。即指令改变 PCL 的内容进而导致直接跳转至新地址时，需要多一个周期去执行，例如“CLR PCL”或“MOV PCL，A”指令。对于跳转指令必须注意的是，如果比较的结果牵涉到跳转动作将多花费一个周期，如果没有则需一个周期即可。

数据的传送

单片机程序中数据传送是使用最为频繁的操作之一，使用几种 MOV 的指令，数据不但可以从寄存器转移至累加器 (反之亦然)，而且能够直接移动立即数到累加器。数据传送最重要的应用之一是从输入端口接收数据或传送数据到输出端口。

算术运算

算术运算和数据处理是大部分单片机应用所必需具备的能力，在盛群单片机内部的指令集中，可直接实现加与减的运算。当加法的结果超出 255 或减法的结果少于 0 时，要注意正确的处理进位和借位的问题。INC、INCA、DEC 和 DECA 指令提供了对一个指定地址的值加一或减一的功能。

逻辑和移位运算

标准逻辑运算例如 AND、OR、XOR 和 CPL 全都包含在盛群单片机内部的指令集中。大多数牵涉到数据运算的指令，数据的传送必须通过累加器。在所有逻辑数据运算中，如果运算结果为零，则零标志位将被置位，另外逻辑数据运用形式还有移位指令，例如 RR、RL、RRC 和 RLC 提供了向左或向右移动一位的方法。不同的移位指令可满足不同的应用需要。移位指令常用于串行端口的程序应用，数据可从内部寄存器转移至进位标志位，而此位则可被检验，移位运算还可应用在乘法与除法的运算组成中。

分支和控制转换

程序分支是采取使用 JMP 指令跳转至指定地址或使用 CALL 指令调用子程序的形式，两者之不同在于当子程序被执行完毕后，程序必须马上返回原来的地址。这个动作是由放置在子程序里的返回指令 RET 来实现，它可使程序跳回 CALL 指令之后的地址。在 JMP 指令中，程序则只是跳到一个指定的地址而已，并不需如 CALL 指令般跳回。一个非常有用的分支指令是条件跳转，跳转条件是由数据存储器或指定位来加以决定。遵循跳转条件，程序将继续执行下一条指令或略过且跳转至接下来的指令。这些分支指令是程序走向的关键，跳转条件可能是外部开关输入，或是内部数据位的值。

位运算

提供数据存储器中单个位的运算指令是盛群单片机的特性之一。这特性对于输出端口位的设置尤其有用，其中个别的位或端口的引脚可以使用“SET [m].i”或“CLR [m].i”指令来设定其为高位或低位。如果没有这特性，程序设计师必须先读入输出口的 8 位数据，处理这些数据，然后再输出正确的新数据。这种读入 - 修改 - 写出的过程现在则被位运算指令所取代。

查表运算

数据的储存通常由寄存器完成，然而当处理大量固定的数据时，它的存储量常常造成对个别存储器的不便。为了改善此问题，盛群单片机允许在程序存储器中建立一个表格作为数据可直接存储的区域，只需要一组简易的指令即可对数据进行查表。

其它运算

除了上述功能指令外，其它指令还包括用于省电的“HALT”指令和使程序在极端电压或电磁环境下仍能正常工作的看门狗定时器控制指令。这些指令的使用则请查阅相关的章节。

指令集概要

下表中说明了按功能分类的指令集，用户可以将该表作为基本的指令参考。

惯例

x：立即数
m：数据存储器地址
A：累加器
i：第 0~7 位
addr：程序存储器地址

助记符	说明	指令周期	影响标志位
算术运算			
ADD A,[m]	ACC 与数据存储器相加，结果放入 ACC	1	Z, C, AC, OV
ADDM A,[m]	ACC 与数据存储器相加，结果放入数据存储器	1[注]	Z, C, AC, OV
ADD A, x	ACC 与立即数相加，结果放入 ACC	1	Z, C, AC, OV
ADC A,[m]	ACC 与数据存储器、进位标志相加，结果放入 ACC	1	Z, C, AC, OV
ADCM A,[m]	ACC 与数据存储器、进位标志相加，结果放入数据存储器	1[注]	Z, C, AC, OV
SUB A, x	ACC 与立即数相减，结果放入 ACC	1	Z, C, AC, OV
SUB A,[m]	ACC 与数据存储器相减，结果放入 ACC	1	Z, C, AC, OV
SUBM A,[m]	ACC 与数据存储器相减，结果放入数据存储器	1[注]	Z, C, AC, OV
SBC A,[m]	ACC 与数据存储器、进位标志相减，结果放入 ACC	1	Z, C, AC, OV
SBCM A,[m]	ACC 与数据存储器、进位标志相减，结果放入数据存储器	1[注]	Z, C, AC, OV
DAA [m]	将加法运算中放入 ACC 的值调整为十进制数，并将结果放入数据存储器	1[注]	C
逻辑运算			
AND A,[m]	ACC 与数据存储器做“与”运算，结果放入 ACC	1	Z
OR A,[m]	ACC 与数据存储器做“或”运算，结果放入 ACC	1	Z
XOR A,[m]	ACC 与数据存储器做“异或”运算，结果放入 ACC	1	Z
ANDM A,[m]	ACC 与数据存储器做“与”运算，结果放入数据存储器	1[注]	Z
ORM A,[m]	ACC 与数据存储器做“或”运算，结果放入数据存储器	1[注]	Z
XORM A,[m]	ACC 与数据存储器做“异或”运算，结果放入数据存储器	1[注]	Z
AND A, x	ACC 与立即数做“与”运算，结果放入 ACC	1	Z
OR A, x	ACC 与立即数做“或”运算，结果放入 ACC	1	Z
XOR A, x	ACC 与立即数做“异或”运算，结果放入 ACC	1	Z
CPL [m]	对数据存储器取反，结果放入数据存储器	1[注]	Z
CPLA [m]	对数据存储器取反，结果放入 ACC	1	Z
递增和递减			
INCA [m]	递增数据存储器，结果放入 ACC	1	Z
INC [m]	递增数据存储器，结果放入数据存储器	1[注]	Z
DECA [m]	递减数据存储器，结果放入 ACC	1	Z
DEC [m]	递减数据存储器，结果放入数据存储器	1[注]	Z
移位			
RRA [m]	数据存储器右移一位，结果放入 ACC	1	无
RR [m]	数据存储器右移一位，结果放入数据存储器	1[注]	无
RRCA [m]	带进位将数据存储器右移一位，结果放入 ACC	1	C
RRC [m]	带进位将数据存储器右移一位，结果放入数据存储器	1[注]	C
RLA [m]	数据存储器左移一位，结果放入 ACC	1	无

助记符	说明	指令周期	影响标志位
RL [m]	数据存储器左移一位，结果放入数据存储器	1[注]	无
RLCA [m]	带进位将数据存储器左移一位，结果放入 ACC	1	C
RLC [m]	带进位将数据存储器左移一位，结果放入数据存储器	1[注]	C
数据传送			
MOV A,[m]	将数据存储器送至 ACC	1	无
MOV [m],A	将 ACC 送至数据存储器	1[注]	无
MOV A, x	将立即数送至 ACC	1	无
位运算			
CLR [m].i	清除数据存储器的位	1[注]	无
SET [m].i	置位数据存储器的位	1[注]	无
转移			
JMP addr	无条件跳转	2	无
SZ [m]	如果数据存储器为零，则跳过下一条指令	1[注]	无
SZA [m]	数据存储器送至 ACC，如果内容为零，则跳过下一条指令	1[注]	无
SZ [m].i	如果数据存储器的第 i 位为零，则跳过下一条指令	1[注]	无
SNZ [m].i	如果数据存储器的第 i 位不为零，则跳过下一条指令	1[注]	无
SIZ [m]	递增数据存储器，如果结果为零，则跳过下一条指令	1[注]	无
SDZ [m]	递减数据存储器，如果结果为零，则跳过下一条指令	1[注]	无
SIZA [m]	递增数据存储器，将结果放入 ACC，如果结果为零，则跳过下一条指令	1[注]	无
SDZA [m]	递减数据存储器，将结果放入 ACC，如果结果为零，则跳过下一条指令	1[注]	无
CALL addr	子程序调用	2	无
RET	从子程序返回	2	无
RET A, x	从子程序返回，并将立即数放入 ACC	2	无
RETI	从中断返回	2	无
查表			
TABRD [m]	读取特定页或当前页的 ROM 内容，并送至数据存储器和 TBLH	2[注]	无
TABRDL [m]	读取最后页的 ROM 内容，并送至数据存储器和 TBLH	2[注]	无
其它指令			
NOP	空指令	1	无
CLR [m]	清除数据存储器	1[注]	无
SET [m]	置位数据存储器	1[注]	无
CLR WDT	清除看门狗定时器	1	TO, PDF
SWAP [m]	交换数据存储器的高低字节，结果放入数据存储器	1[注]	无
SWAPA [m]	交换数据存储器的高低字节，结果放入 ACC	1	无
HALT	进入暂停模式	1	TO, PDF

注：1. 对跳转指令而言，如果比较的结果牵涉到跳转即需 2 个周期，如果没有发生跳转，则只需一个周期。
2. 任何指令若要改变 PCL 的内容将需要 2 个周期来执行。

指令定义

ADC A, [m] Add Data Memory to ACC with Carry
指令说明 将指定的数据存储器、累加器内容以及进位标志相加，结果存放到累加器。
功能表示 ACC ← ACC + [m] + C
影响标志位 OV、Z、AC、C

ADCM A, [m] Add ACC to Data Memory with Carry
指令说明 将指定的数据存储器、累加器内容和进位标志位相加，结果存放到指定的数据存储器。
功能表示 [m] ←ACC + [m] + C
影响标志位 OV、Z、AC、C

ADD A, [m] Add Data Memory to ACC
指令说明 将指定的数据存储器和累加器内容相加，结果存放到累加器。
功能表示 ACC ← ACC + [m]
影响标志位 OV、Z、AC、C

ADD A, x Add immediate data to ACC
指令说明 将累加器和立即数相加，结果存放到累加器。
功能表示 ACC ← ACC + x
影响标志位 OV、Z、AC、C

ADDM A, [m] Add ACC to Data Memory
指令说明 将指定的数据存储器和累加器内容相加，结果存放到指定的数据存储器。
功能表示 [m] ←ACC + [m]
影响标志位 OV、Z、AC、C

AND A, [m] Logical AND Data Memory to ACC
指令说明 将累加器中的数据和指定数据存储器内容做逻辑与，结果存放到累加器。
功能表示 ACC ← ACC“AND”[m]
影响标志位 Z

AND A, x	Logical AND immediate data to ACC
指令说明	将累加器中的数据和立即数做逻辑与，结果存放到累加器。
功能表示	ACC ← ACC“AND”x
影响标志位	Z

ANDM A, [m]	Logical AND ACC to Data Memory
指令说明	将指定数据存储器内容和累加器中的数据做逻辑与， 结果存放到数据存储器。
功能表示	[m] ← ACC“AND”[m]
影响标志位	Z

CALL addr	Subroutine call
指令说明	无条件地调用指定地址的子程序，此时程序计数器先加 1 获得下一个要执行的指令地址并压入堆栈，接着载入指定 地址并从新地址继续执行程序，由于此指令需要额外的运 算，所以为一个 2 周期的指令。
功能表示	Stack ← Program Counter + 1 Program Counter ← addr
影响标志位	无

CLR [m]	Clear Data Memory
指令说明	将指定数据存储器的内容清零。
功能表示	[m] ← 00H
影响标志位	无

CLR [m].i	Clear bit of Data Memory
指令说明	将指定数据存储器的第 i 位内容清零。
功能表示	[m].i ← 0
影响标志位	无

CLR WDT	Clear Watchdog Timer
指令说明	WDT 计数器、暂停标志位 PDF 和看门狗溢出标志位 TO 清零。
功能表示	WDT cleared TO & PDF ← 0
影响标志位	TO、PDF

CPL [m] Complement Data Memory
指令说明 将指定数据存储器中的每一位取逻辑反，
相当于从 1 变 0 或 0 变 1。
功能表示 [m] ← $[\overline{m}]$
影响标志位 Z

CPLA [m] Complement Data Memory with result in ACC
指令说明 将指定数据存储器中的每一位取逻辑反，相当于从 1 变 0 或 0 变 1，而结果被储存回累加器且数据存储器中的内容不变。
功能表示 ACC←$[\overline{m}]$
影响标志位 Z

DAA [m] Decimal-Adjust ACC for addition with result in Data Memory
指令说明 将累加器中的内容转换为 BCD (二进制转成十进制) 码。如果低四位的值大于“9”或 AC=1，那么 BCD 调整就执行对原值加“6”，否则原值保持不变；如果高四位的值大于“9”或 C=1，那么 BCD 调整就执行对原值加“6”。BCD 转换实质上是根据累加器和标志位执行 00H，06H，60H 或 66H 的加法运算，结果存放到数据存储器。只有进位标志位 C 受影响，用来指示原始 BCD 的和是否大于 100，并可以进行双精度十进制数的加法运算。
功能表示 [m] ← ACC + 00H 或
[m] ← ACC + 06H 或
[m] ← ACC + 60H 或
[m] ← ACC + 66H
影响标志位 C

DEC [m] Decrement Data Memory
指令说明 将指定数据存储器内容减 1。
功能表示 [m] ← [m] – 1
影响标志位 Z

DECA [m] Decrement Data Memory with result in ACC
指令说明 将指定数据存储器的内容减 1，把结果存放回累加器并保持指定数据存储器的内容不变。
功能表示 ACC ← [m] – 1
影响标志位 Z

HALT	Enter power down mode
指令说明	此指令终止程序执行并关掉系统时钟，RAM 和寄存器的内容保持原状态，WDT 计数器和分频器被清“0”，暂停标志位 PDF 被置位 1，WDT 溢出标志位 TO 被清 0。
功能表示	TO ← 0 PDF ← 1
影响标志位	TO、PDF

INC [m]	Increment Data Memory
指令说明	将指定数据存储器的内容加 1。
功能表示	[m] ← [m] + 1
影响标志位	Z

INCA [m]	Increment Data Memory with result in ACC
指令说明	将指定数据存储器的内容加 1，结果存放回累加器并保持指定的数据存储器内容不变。
功能表示	ACC ← [m] + 1
影响标志位	Z

JMP addr	Jump unconditionally
指令说明	程序计数器的内容无条件地由被指定的地址取代，程序由新的地址继续执行。当新的地址被加载时，必须插入一个空指令周期，所以此指令为 2 个周期的指令。
功能表示	Program Counter ← addr
影响标志位	无

MOV A, [m]	Move Data Memory to ACC
指令说明	将指定数据存储器的内容复制到累加器。
功能表示	ACC← [m]
影响标志位	无

MOV A, x	Move immediate data to ACC
指令说明	将 8 位立即数载入累加器。
功能表示	ACC ← x
影响标志位	无

MOV [m], A	Move ACC to Data Memory
指令说明	将累加器的内容复制到指定的数据存储器。
功能表示	[m] ← ACC
影响标志位	无

NOP	No operation
指令说明	空操作，接下来顺序执行下一条指令。
功能表示	无操作
影响标志位	无

OR A, [m]	Logical OR Data Memory to ACC
指令说明	将累加器中的数据和指定的数据存储器内容逻辑或， 结果存放到累加器。
功能表示	ACC ← ACC“OR”[m]
影响标志位	Z

OR A, x	Logical OR immediate data to ACC
指令说明	将累加器中的数据和立即数逻辑或，结果存放到累加器。
功能表示	ACC ← ACC“OR”x
影响标志位	Z

ORM A, [m]	Logical OR ACC to Data Memory
指令说明	将存在指定数据存储器中的数据和累加器逻辑或， 结果放到数据存储器。
功能表示	[m] ← ACC“OR”[m]
影响标志位	Z

RET	Return from subroutine
指令说明	将堆栈寄存器中的程序计数器值恢复， 程序由取回的地址继续执行。
功能表示	Program Counter←Stack
影响标志位	无

RET A, x	Return from subroutine and load immediate data to ACC
指令说明	将堆栈寄存器中的程序计数器值恢复且累加器载入指定的 立即数，程序由取回的地址继续执行。
功能表示	Program Counter ← Stack ACC←x
影响标志位	无

RETI Return from interrupt

指令说明 将堆栈寄存器中的程序计数器值恢复且中断功能通过设置 EMI 位重新使能。EMI 是控制中断使能的主控制位。如果在执行 RETI 指令之前还有中断未被响应，则这个中断将在返回主程序之前被响应。

功能表示 Program Counter ←Stack
EMI ← 1

影响标志位 无

RL [m] Rotate Data Memory left

指令说明 将指定数据存储器的内容左移 1 位，且第 7 位移到第 0 位。

功能表示 [m].(i+1) ← [m].i (i=0~6)
[m].0 ← [m].7

影响标志位 无

RLA [m] Rotate Data Memory left with result in ACC

指令说明 将指定数据存储器的内容左移 1 位，且第 7 位移到第 0 位，结果送到累加器，而指定数据存储器的内容保持不变。

功能表示 ACC.(i+1) ← [m].i (i=0~6)
ACC.0 ←[m].7

影响标志位 无

RLC [m] Rotate Data Memory Left through Carry

指令说明 将指定数据存储器的内容连同进位标志左移 1 位，第 7 位取代进位标志且原本的进位标志移到第 0 位。

功能表示 [m].(i+1) ← [m].i (i=0~6)
[m].0 ← C
C ← [m].7

影响标志位 C

RLC A [m] Rotate Data Memory left through Carry with result in ACC

指令说明 将指定数据存储器的内容连同进位标志左移 1 位，第 7 位取代进位标志且原本的进位标志移到第 0 位，移位结果送回累加器，但是指定数据寄存器的内容保持不变。

功能表示 ACC.(i+1) ← [m].i (i=0~6)
ACC.0 ← C
C ← [m].7

影响标志位 C

RR [m] Rotate Data Memory right

指令说明 将指定数据存储器的内容循环右移 1 位且第 0 位移到第 7 位。

功能表示 [m].i ← [m].(i+1) (i=0~6)
[m].7 ← [m].0

影响标志位 无

RRA [m] Rotate Data Memory right with result in ACC

指令说明 将指定数据存储器的内容循环右移 1 位，第 0 位移到第 7 位，移位结果存放到累加器，而指定数据存储器的内容保持不变。

功能表示 ACC.i ← [m].(i+1) (i=0~6)
ACC.7 ← [m].0

影响标志位 无

RRC [m] Rotate Data Memory right through Carry

指令说明 将指定数据存储器的内容连同进位标志右移 1 位，第 0 位取代进位标志且原本的进位标志移到第 7 位。

功能表示 [m].i ← [m].(i+1) (i=0~6)
[m].7← C
C ← [m].0

影响标志位 C

RRCA [m] Rotate Data Memory right through Carry with result in ACC

指令说明 将指定数据存储器的内容连同进位标志右移 1 位，第 0 位取代进位标志且原本的进位标志移到第 7 位，移位结果送回累加器，但是指定数据寄存器的内容保持不变。

功能表示 ACC.i ← [m].(i+1) (i=0~6)
ACC.7 ← C
C ← [m].0

影响标志位 C

SBC A, [m] Subtract Data Memory from ACC with Carry

指令说明 将累加器减去指定数据存储器的内容以及进位标志的反，结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。

功能表示 ACC ← ACC – [m] – $\overline{C}$

影响标志位 OV、Z、AC、C

SBCM A, [m] Subtract Data Memory from ACC with Carry and result in Data Memory
指令说明 将累加器减去指定数据存储器的内容以及进位标志的反，结果存放到数据存储器。如果结果为负，C标志位清除为0，反之结果为正或 0，C 标志位设置为 1。
功能表示 [m] ← ACC – [m] – $\overline{C}$
影响标志位 OV、Z、AC、C

SDZ [m] Skip if Decrement Data Memory is 0
指令说明 将指定的数据存储器的内容减 1，判断是否为 0，若为 0 则跳过下一条指令，由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示 [m] ← [m] – 1，如果 [m]=0 跳过下一条指令执行
影响标志位 无

SDZA [m] Skip if decrement Data Memory is zero with result in ACC
指令说明 将指定数据存储器内容减 1，判断是否为 0，如果为 0 则跳过下一条指令，此结果将存放到累加器，但指定数据存储器内容不变。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示 ACC ← [m] – 1，如果 ACC=0 跳过下一条指令执行
影响标志位 无

SET [m] Set Data Memory
指令说明 将指定数据存储器的每一位设置为 1。
功能表示 [m] ← FFH
影响标志位 无

SET [m].i Set bit of Data Memory
指令说明 将指定数据存储器的第 i 位置位为 1。
功能表示 [m].i ← 1
影响标志位 无

SIZ [m] Skip if increment Data Memory is 0

指令说明 将指定的数据存储器的内容加 1，判断是否为 0，若为 0 则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。

功能表示 [m] ←[m] + 1，如果 [m]=0 跳过下一条指令执行

影响标志位 无

SIZA [m] Skip if increment Data Memory is zero with result in ACC

指令说明 将指定数据存储器的内容加 1，判断是否为 0，如果为 0 则跳过下一条指令，此结果会被存放到累加器，但是指定数据存储器的内容不变。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。

功能表示 ACC ←[m] + 1，如果 ACC=0 跳过下一条指令执行

影响标志位 无

SNZ [m].i Skip if bit i of Data Memory is not 0

指令说明 判断指定数据存储器的第 i 位，若不为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果为 0，则程序继续执行下一条指令。

功能表示 如果 [m].i≠0，跳过下一条指令执行

影响标志位 无

SUB A, [m] Subtract Data Memory from ACC

指令说明 将累加器的内容减去指定的数据存储器的数据，把结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。

功能表示 ACC ← ACC – [m]

影响标志位 OV、Z、AC、C

SUBM A, [m] Subtract Data Memory from ACC with result in Data Memory

指令说明 将累加器的内容减去指定数据存储器的数据，结果存放到指定的数据存储器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。

功能表示 [m] ← ACC – [m]

影响标志位 OV、Z、AC、C

SUB A, x Subtract immediate Data from ACC
指令说明 将累加器的内容减去立即数，结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示 ACC ← ACC – x
影响标志位 OV、Z、AC、C

SWAP [m] Swap nibbles of Data Memory
指令说明 将指定数据存储器的低 4 位和高 4 位互相交换。
功能表示 [m].3~[m].0 ↔ [m].7~[m].4
影响标志位 无

SWAPA [m] Swap nibbles of Data Memory with result in ACC
指令说明 将指定数据存储器的低 4 位与高 4 位互相交换，再将结果存放到累加器且指定数据寄存器的数据保持不变。
功能表示 ACC.3~ACC.0 ← [m].7~[m].4
ACC.7~ACC.4 ← [m].3~[m].0
影响标志位 无

SZ [m] Skip if Data Memory is 0
指令说明 指定数据存储器的内容会先被读出，后又被重新写入指定数据存储器内。判断指定数据存储器的内容是否为 0，若为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示 如果 [m]=0，跳过下一条指令执行
影响标志位 无

SZA [m] Skip if Data Memory is 0 with data movement to ACC
指令说明 将指定数据存储器内容复制到累加器，并判断指定数据存储器的内容是否为 0，若为 0 则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示 ACC ←[m]，如果 [m]=0，跳过下一条指令执行
影响标志位 无

SZ [m].i	Skip if bit i of Data Memory is 0
指令说明	判断指定数据存储器的第 i 位是否为 0，若为 0，则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示	如果 [m].i=0，跳过下一条指令执行
影响标志位	无
TABRD [m]	Read table (specific page or current page) to TBLH and Data Memory
指令说明	将表格指针 (TBHP 和 TBLP，若无 TBHP 则仅 TBLP) 所指的程序代码低字节移至指定数据存储器且将高字节移至 TBLH。
功能表示	[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)
影响标志位	无
TABRDL [m]	Read table (last page) to TBLH and Data Memory
指令说明	将表格指针 TBLP 所指的程序代码低字节 (最后一页) 移至指定数据存储器且将高字节移至 TBLH。
功能表示	[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)
影响标志位	无
XOR A, [m]	Logical XOR Data Memory to ACC
指令说明	将累加器的数据和指定的数据存储器内容逻辑异或，结果存放到累加器。
功能表示	ACC ← ACC“XOR”[m]
影响标志位	Z
XORM A, [m]	Logical XOR ACC to Data Memory
指令说明	将累加器的数据和指定的数据存储器内容逻辑异或，结果放到数据存储器。
功能表示	[m] ← ACC“XOR”[m]
影响标志位	Z
XOR A, x	Logical XOR immediate data to ACC
指令说明	将累加器的数据与立即数逻辑异或，结果存放到累加器。
功能表示	ACC ← ACC“XOR”x
影响标志位	Z

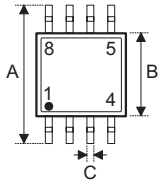
封装信息

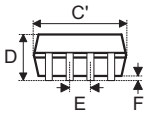
请注意，这里提供的封装信息仅作为参考。由于这个信息经常更新，提醒用户咨询 Holtek 网站以获取最新版本的封装信息。

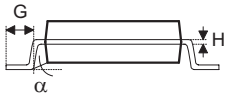
封装信息的相关内容如下所示，点击可链接至 Holtek 网站相关信息页面。

- 封装信息（包括外形尺寸、包装带和卷轴规格）
- 封装材料信息
- 纸箱信息

8-pin SOP (150mil) 外形尺寸



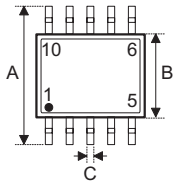


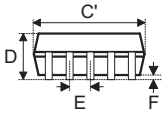


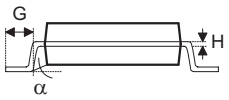
符号	尺寸 (单位：inch)		
	最小	正常	最大
A	—	0.236 BSC	—
B	—	0.154 BSC	—
C	0.012	—	0.020
C’	—	0.193 BSC	—
D	—	—	0.069
E	—	0.050 BSC	—
F	0.004	—	0.010
G	0.016	—	0.050
H	0.004	—	0.010
α	0°	—	8°

符号	尺寸 (单位：mm)		
	最小	正常	最大
A	—	6 BSC	—
B	—	3.9 BSC	—
C	0.31	—	0.51
C’	—	4.9 BSC	—
D	—	—	1.75
E	—	1.27 BSC	—
F	0.10	—	0.25
G	0.40	—	1.27
H	0.10	—	0.25
α	0°	—	8°

10-pin SOP (150mil) 外形尺寸







符号	尺寸 (单位：inch)		
	最小	正常	最大
A	—	0.236 BSC	—
B	—	0.154 BSC	—
C	0.012	—	0.018
C′	—	0.193 BSC	—
D	—	—	0.069
E	—	0.039 BSC	—
F	0.004	—	0.010
G	0.016	—	0.050
H	0.004	—	0.010
α	0°	—	8°

符号	尺寸 (单位：mm)		
	最小	正常	最大
A	—	6.00 BSC	—
B	—	3.90 BSC	—
C	0.30	—	0.45
C′	—	4.90 BSC	—
D	—	—	1.75
E	—	1.00 BSC	—
F	0.10	—	0.25
G	0.40	—	1.27
H	0.10	—	0.25
α	0°	—	8°